

修 士 論 文 の 和 文 要 旨

研究科・専攻	大学院 情報理工学研究科 情報・ネットワーク工学専攻 博士前期課程		
氏 名	白井 暁	学籍番号	1831078
論 文 題 目	FPGA を用いた 4K タイルドディスプレイシステムの開発		
<p>要 旨</p> <p>近年、ディスプレイをタイル状に並べて大画面を構成するタイルドディスプレイが駅前のデジタルサイネージ等で普及している。タイルドディスプレイを構成する際は特殊な GPU や業務用ディスプレイを使用することが多いが、いずれも汎用性やコストの問題を抱えている。また、4K・8K 衛星放送の開始やゲーム機器の 4K 出力対応など映像コンテンツの高解像度化が進んでいるが、4K 以上の映像を視聴する環境を用意することはコスト面などから未だハードルは高い。そのため、Full-HD 解像度 (2K: 1920x1080 ピクセル) のディスプレイを利用してタイルドディスプレイを構成することでコストを抑えられると同時に大画面で 4K 以上の高解像度映像を見ることが可能になる。</p> <p>本研究では FPGA を用いて YCbCr4:2:0 方式の映像入力をサポートすることで 4K 映像 (3840x2160 ピクセル) 入力が可能な 4 画面タイルドディスプレイシステムを開発した。YCbCr4:2:0 方式の映像入力をサポートしたことで、Full-HD RGB 方式のデータ量のまま 4K 解像度映像の入力を実現した。各ディスプレイの出力解像度は Full-HD であり、システム全体で 4K 解像度映像を表示出来る。また、タイルドディスプレイ固有の問題としてディスプレイ枠の部分の映像を間引く操作 (ベゼルコレクション) が必要となるが、既存のシステムは特定のディスプレイのベゼル幅に固定されており変更のためには FPGA 回路の再コンパイルが必要であった。本システムではスイッチによる動的なベゼルコレクション機能を実現したため、その場でディスプレイ毎の設置状況に合わせてベゼル幅の調整が可能なシステムとなっている。</p> <p>本システムを含む 46 インチから 111 インチの 4 つのディスプレイに対し Full-HD から 8K 解像度の映像を表示して、30 人に対し「迫力感」、「近くから見た繊細さ」、「遠くから見た鮮明さ」に関するアンケート調査を行った。繊細さに関しては当初想定した評価は得られなかったが、迫力感に関してはある程度想定した効果が得られた。</p>			

令和元年度 修士論文

FPGAを用いた4Kタイルド ディスプレイシステムの開発

電気通信大学大学院 情報理工学研究科
情報・ネットワーク工学専攻 コンピュータサイエンスプログラム

学籍番号：1831078
氏名：白井 暁

主任指導教員：成見 哲 教授
副指導教員：吉永 努 教授

令和2年1月27日

概 要

本研究では FPGA を用いて動的なベゼルコレクション機能を持つ 4K 解像度に対応したタイルドディスプレイシステムの開発を行った。

近年、ディスプレイをタイル状に並べて大画面を構成することができるタイルドディスプレイは駅前のデジタルサイネージをはじめとして普及が進んでいる。タイルドディスプレイを構成する技術には GPU を用いることや、業務用ディスプレイを使用することが挙げられるが、いずれも汎用性やコストの問題を抱えている。また、4K・8K 衛星放送の開始やゲーム機器等も 4K 出力への対応が進むなど映像コンテンツの高解像度化が進んでいる。一方でこちらも 4K 映像が見られる環境を用意することはコスト面などから未だハードルは高い。そのため、Full-HD 解像度が見られる市販のディスプレイを利用してタイルドディスプレイを構成することでコストを抑えられると同時に 4K 映像を見ることが可能になる。

本研究では FPGA を用いて YCbCr4:2:0 方式の映像入力をサポートすることで 4K 映像入力可能なタイルドディスプレイシステムを開発した。YCbCr4:2:0 方式の映像にサポートしたことで RGB 方式に比べてデータ量を半分に減らすことが出来る。これにより、入力映像のデータレートの増大を抑えながら解像度の向上を可能としたことで 4K 解像度 (3840×2160 ピクセル) 映像の入力を実現した。入力には HDMI を用いることで YCbCr4:2:0 方式の映像が出力可能な機器からであれば使用可能なシステムとなっている。出力には縦横 2 枚ずつの合計 4 枚のディスプレイを使用して表示を行う。各ディスプレイの出力解像度は Full-HD 解像度 (1920×1080 ピクセル) でシステム全体で 4K 解像度映像が見られるシステムである。近年の映像コンテンツはアスペクト比が 16:9 で与えられる事が多い。本システムでも標準的な解像度、アスペクト比での映像出力をサポートすることで汎用性を損なわないシステムとなっている。また、既存のシステムはディスプレイが固有で持つベゼル幅に対して変更を加える際にはプログラムの再コンパイルが必要であった。本システムは動的なベゼルコレクション機能の導入を行ったことで、再コンパイルの必要がなくなりシステムを利用している際に使用しているディスプレイや状況に合わせてベゼル幅の調整が可能なシステムとなっている。

目次

1	はじめに	5
1.1	背景	5
1.2	目的	5
1.3	本論文の構成	5
2	タイルドディスプレイと FPGA	7
2.1	タイルドディスプレイ	7
2.2	FPGA	8
2.2.1	IP	8
2.2.2	AXI	9
3	色空間と映像データ伝送	11
3.1	色空間	11
3.1.1	RGB 空間	11
3.1.2	YCbCr 空間	12
3.2	映像データ伝送	12
3.2.1	HDMI	13
3.2.2	ピクセルデータのパッキング	13
4	関連技術・既存研究	15
4.1	関連技術	15
4.1.1	SAGE/SAGE2	15
4.1.2	NVIDIA Mosaic	16
4.1.3	業務用マルチディスプレイ	16
4.2	既存研究	16
4.2.1	4K 映像デコーダに主眼をおいたタイルドディスプレイ	16
4.2.2	モバイルタイルドディスプレイ	16
4.2.3	ヘテロジニアス FPGA によるタイルドディスプレイ	17
5	システム概要	18
5.1	FPGA システム	18
5.2	HDMI 入力におけるデータ量の削減	20
5.3	システムの改良点	20
5.3.1	入力映像比較	20
5.3.2	出力映像比較	21

6	FPGA システム	22
6.1	映像入力部	22
6.1.1	HDMI デコーダ	22
6.1.2	Video In to AXI4-Stream	23
6.1.3	EDID 回路	23
6.2	メモリ部	24
6.2.1	DDR インターフェース	24
6.2.2	DDR 書き込み	25
6.2.3	DDR 読み出し	27
6.3	映像出力部	27
6.3.1	タイミング生成回路	28
6.3.2	ストリーム変換回路	29
6.3.3	HDMI エンコーダ	34
6.4	動作結果	35
7	動的ベゼルコレクション	37
7.1	ベゼルとベゼルコレクション	37
7.2	実装について	37
7.2.1	実装概要	38
7.2.2	拡大率の範囲	38
7.2.3	拡大率の入力	39
7.2.4	水平方向の拡大手法	40
7.2.5	垂直方向の拡大手法	41
7.3	動作結果	41
8	評価	43
8.1	予備実験	43
8.1.1	評価方法	43
8.1.2	結果	43
8.1.3	考察	43
8.2	アンケートによる定性的評価	46
8.2.1	実験概要	46
8.2.2	結果	46
8.2.3	考察	47
9	終わりに	51
9.1	まとめ	51
9.2	今後の課題・展望	51

9.2.1	出力映像の揺らぎ	51
9.2.2	YCbCr4:2:0 方式データの読み出し方法	51
9.2.3	さらなる高解像度化	51

1 はじめに

1.1 背景

近年、ディスプレイをタイル状に並べて大画面を構成することができるタイルドディスプレイは駅前のデジタルサイネージをはじめとして普及が進んでいる。しかし、タイルドディスプレイを構成する技術である GPU (Graphic Processing Unit) は PC のみでしか使用できない、業務用マルチディスプレイはコストが高いなどの汎用性の問題を抱えている。同時に 4K・8K 衛星放送の開始やゲーム機器等も 4K 出力への対応が進むなど映像コンテンツの高解像度化が進んでいる。一方でこちらも 4K 映像が見られるディスプレイは未だに高価である、出力機器も 4K に対応していなければならないなど 4K 映像を体験する環境へのハードルは未だに高いという問題がある。

1.2 目的

本研究では FPGA を用いて 4K 解像度 4 画面タイルドディスプレイを開発することを目的とする。FPGA ボードの I/O ピンの性能限界が近づいていることからより高解像な映像入力が困難になっている。既存のシステムは高解像度化が進む一方で標準的でないアスペクト比を使用するなど汎用性を損っているなどの問題がある。この問題に対して、YCbCr4:2:0 の色圧縮が行われた映像入力に対応することでデータレートの増加を抑えながら一般的なアスペクト比を持つ 4K 解像度映像の入力に対応可能なシステムを目指す。

また、タイルドディスプレイの利点に HDMI 入力が可能なディスプレイならば出力が可能であることが利点の 1 つとして挙げられる。しかし、既存のシステムはベゼルコレクションを行う際にそれぞれのディスプレイが持つベゼル幅を固定値としていたため、ディスプレイを変更するたびにベゼル幅の数値をソースコード内で変更し再コンパイルする必要があった。この問題に対して、動的にベゼル幅の変更を可能にすることでタイルドディスプレイの利点を活かしたシステムの開発を目指す。

1.3 本論文の構成

本論文の構成と内容を以下に示す。

1. はじめに

本研究の背景，目的について述べる。

2. タイルドディスプレイと FPGA

タイルドディスプレイと FPGA の概要について述べる。

3. 色空間と映像データ伝送

RGB 空間と YCbCr 空間の特徴と違い，映像データ伝送方法として HDMI の概要とピクセルデータのパッキングについて述べる。

4. 関連技術・既存研究

関連技術・既存研究について紹介して本研究の利点を述べる。

5. システム概要

本研究で開発したシステムの概要，既存のシステムとの比較を行って利点を述べる。

6. FPGA システム

本研究で開発したシステムの詳細について述べる。

7. 動的ベゼルコレクション

本研究で開発した動的ベゼルコレクションの概要と実装について述べる。

8. 評価

開発したシステムの評価及びその考察について述べる。

9. おわりに

本研究のまとめ及び今後の課題について述べる。

2 タイルドディスプレイとFPGA

2.1 タイルドディスプレイ

タイルドディスプレイとは複数のディスプレイをタイル状に並べることで一つの大画面を構成する技術である。一般にタイルドディスプレイは液晶ディスプレイを使用して構築されるため、プロジェクタなど投影機器は必要なく明るい環境での使用も可能である。また、より多くのディスプレイを使用することで大きな画面を構築することも可能であり、図1のように一度に多くの情報を表示可能なことから駅のデジタルサイネージや商業施設での普及が進んでいる。

大型映像システムを構築するときに1枚のディスプレイで出力する専用の大型ディスプレイの価格に対して、タイルドディスプレイとして構築することで価格を抑えることが出来る。ディスプレイの破損があったときにタイルドディスプレイは破損部分のみ交換すれば再利用が可能であることから耐故障性にも優れている。また、分解して他の場所での利用なども可能なため可搬性にも優れる。

一方で、タイルドディスプレイにはベゼルと呼ばれるディスプレイ間の映像が出力されない部分の問題となる。これはベゼルによりディスプレイ間で映像のつなぎ目が切れてしまうことで生まれる。現在、ベゼルに対して違和感をなくすように処理を行うベゼルコレクションと呼ばれる技術がある。この処理を行うことでベゼルによる違和感の低減が可能となっている。また、個々のディスプレイは固有の同期信号で動作しており、ディスプレイ間での同期を取れない問題がある。特にソフトウェアでの制御を行う場合には同期を取ることが困難となっている。同期が取れていない場合に動画を表示すると、ティアリングというちらつきが発生してしまう。



図 1: タイルドディスプレイの利用例 ¹

¹<https://corporate.jp.sharp/news/101022-b.html>



図 2: FPGA 評価ボードの例 ²

2.2 FPGA

FPGA (Field Programmable Gate Array) とは製造後にユーザーによって回路の書き換えが可能な集積回路であり、広義の分類としては PLD (Programmable Logic Device) の一種である。一般的に開発にはハードウェア記述言語 (HDL : Hardware Description Language) を用いてロジックの構築を行う。特定用途向けに製造される ASIC (Application Specific Integrated Circuit) とは異なり単価が高く、消費電力や扱うことができる周波数などの性能は劣るが、何度も書き換えが可能であり大量生産を目的としない開発用途などに向いている。また、近年では高位合成 (HLS : High Level Synthesis) と呼ばれる C/C++ などのプログラミング言語から RTL (Register Transfer Level) を生成する技術も出てきており、アルゴリズムの実装や直接 HDL の記述を行わずに開発を行うことも可能になっている。

一般的に FPGA を開発する際には図 2 の様な FPGA 評価ボードが使用される。評価ボードは USB や HDMI, 有線 LAN ポートなどインターフェースを備えており利用が可能である。近年では、評価ボードには FPGA 単体として搭載されているものは減少しており、SoC (System on Chip) として CPU や映像圧縮など特定の機能に特化したチップと一体化して搭載されていることが多い。

2.2.1 IP

FPGA における IP (Intellectual Property) とは、様々な機能を有する完成した部分回路である。FPGA を開発している Xilinx 社や Intel 社を初めとして、FPGA ボードを製造している Digilent 社など企業や個人が開発提供している。IP を利用することでシステムの開発期間の短縮につながることや一定の性能が保証されているなどのメリットが存在する。一方で IP は各社が個々に開発しているものであることから定められた入出力やプロトコルに従わなければならない回路設計において制

²<https://japan.xilinx.com/products/boards-and-kits/zcu104.html>

表 1: AXI4 のインターフェース

種類	規格内容
AXI4 (AXI4-Full)	メモリマップ式のインターフェースであり, AXI4 の機能のすべてを利用できる規格
AXI4-Lite	AXI4-Full からバースト転送機能を取り除き簡素化した規格
AXI4-Stream	メモリマップ式を取らないストリームデータ専用の高速伝送用の規格

限になる場合もある。

本研究で使用した Xilinx 社の FPGA で利用できる IP の多くには AXI プロトコルを採用しているものが多いため回路設計に利用する IP を決定した上で開発を行った。

2.2.2 AXI

AXI (Advanced eXtensible Interface) とは, ARM 社の提供する AMBA (Advanced Microcontroller Bus Architecture) 規格の一種で, 元は ARM アーキテクチャ用のバス規格である。Xilinx 社の IP コアの多くは 2010 年に発表された第 4 世代の AMBA4.0 から AXI4 が採用されている [1]。

AXI4 は表 1 のような 3 つのインターフェースが存在する。AXI ではマスターとスレーブの双方が通信を行うが, AXI4-Full 及び AXI4-Lite ではマスターがスレーブのメモリマップされた領域に対して読み書きを行う。AXI4-Stream はマスターがスレーブに対してストリームデータの伝送を行う。また, AXI4-Full 及び AXI4-Lite では以下の 5 つのチャネルを用いて通信を行うプロトコルとなっている。

- 読み出しアドレスチャネル (Read Address Channel)
- 読み出しデータチャネル (Read Data Channel)
- 書き込みアドレスチャネル (Write Address Channel)
- 書き込みデータチャネル (Write Data Channel)
- 書き込み応答チャネル (Write Response Channel)

AXI4 プロトコルの基本はすべてのチャネルにおいてマスターとスレーブ間でデータの受け入れ可能を示す「Ready 信号」とデータの有効部分を示す「Valid 信号」の両方を立てることでデータの転送が有効となる。

データの読み出しには「読み出しアドレスチャネル」と「読み出しデータチャネル」の 2 つを用いる。図 3 のようにマスターがスレーブに対して「読み出しアドレスチャネル」を通じてアドレスを転送することで「読み出しデータチャネル」を通じて対応するデータを読み出す。AXI4-Lite ではバースト転送機能がないため図 3 の動作に対して 1 回のアドレス転送に対して 1 回分のデータ読

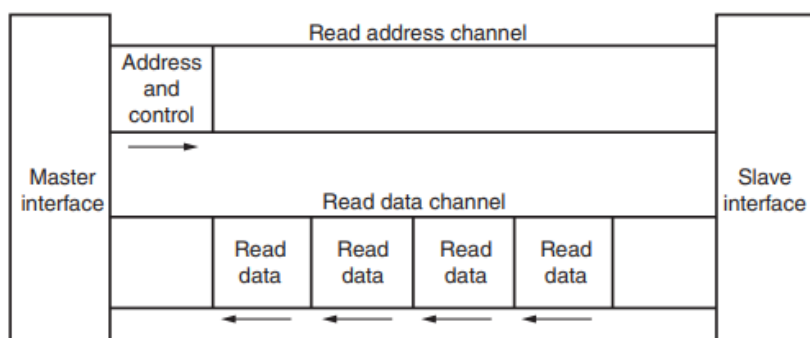


図 3: AXI4-Full および AXI4-Lite を用いた読み出しプロトコル（参考文献 [1] より引用）

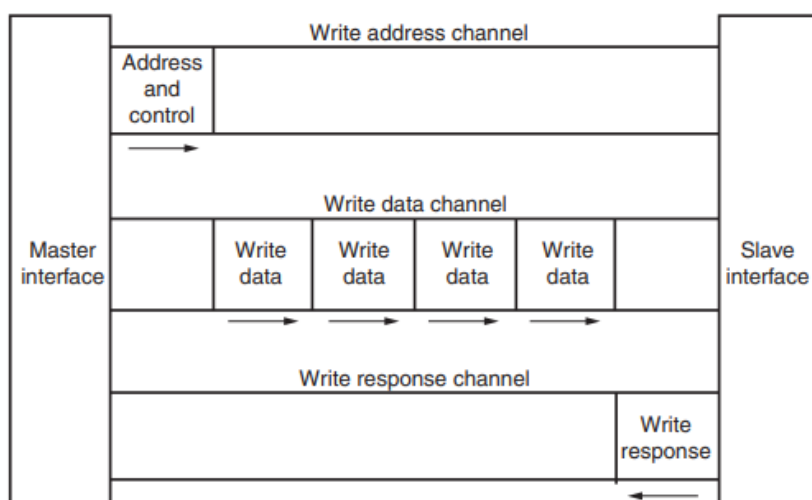


図 4: AXI4-Full および AXI4-Lite を用いた書き込みプロトコル（参考文献 [1] より引用）

み出しのみが可能である。

データの書き込みには「書き込みアドレスチャンネル」,「書き込みデータチャンネル」,「書き込み応答チャンネル」の3つを用いる。図4のようにマスターが「書き込みアドレスチャンネル」を通じてアドレスを転送した後,「書き込みデータチャンネル」にデータを転送することで指定したアドレスにデータを書き込むことができる。その後「書き込み応答チャンネル」を通じて書き込みの成否がスレーブからマスターに転送される。AXI4-Liteにおける動作は読み出し時と同様に1回のアドレス転送に対して1回のデータに書き込みが可能である。

AXI4-Streamは他の2つのインターフェースのように複数のチャンネルを通じてデータのやり取りを行うのではなくデータチャンネルのみを用いてデータの転送を行う。基本データは常に流れておりReady信号とValid信号のみを用いて制御を行う。他の2つのインターフェースとは異なり、データの転送サイズに制限は存在しない。

3 色空間と映像データ伝送

3.1 色空間

色空間とは立方的に表現される色の空間でありカラースペースとも呼ばれる。表色系と呼ばれる色を定量的に表す体系を用いることが多く、立方体の表現に使われる各軸には様々な表色系によって異なる。色空間によって構築される立体は表色系によって異なり、円柱や球状などの幾何的に描かれることが多い。

3.1.1 RGB 空間

RGB 空間とは一般的な映像に用いられている色空間であり、赤・青・緑の色の三原色を用いてすべての色を表現する方式である。各色の色深度を 8bit で表現すると全ての成分が 0 であるときには黒、255 であるときには白を表現することが出来る。全ての色を各成分の配合具合で表現する際にそれぞれの成分が同程度の価値を持つため一部のみの色を間引くことは出来ずデータの削減には向かない。

ディスプレイ表示において色深度が 8 ビットの RGB の場合は図 5 のようにピクセルデータが配置される。各ピクセルがそれぞれ 8 ビットずつ RGB データを保持しており、それぞれのピクセルが固有の色を出力可能であるメリットがある。一方で、ピクセル数が増大していくにしたがって映像全体のデータ量も膨大なものになっていく。

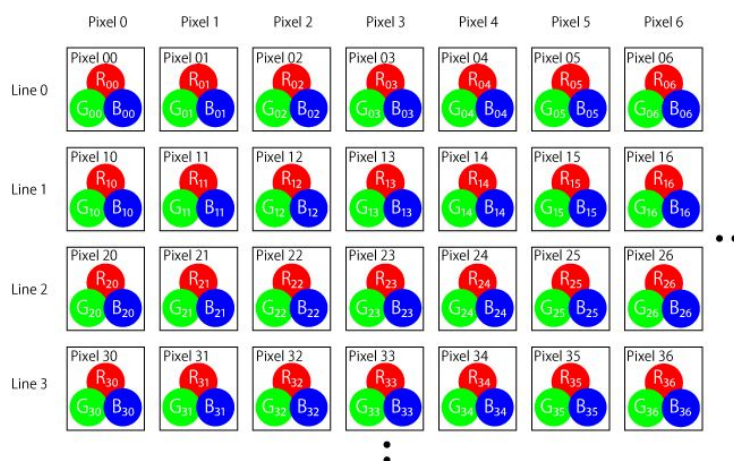


図 5: ディスプレイ表示における RGB の構成イメージ（参考文献 [2] より引用）

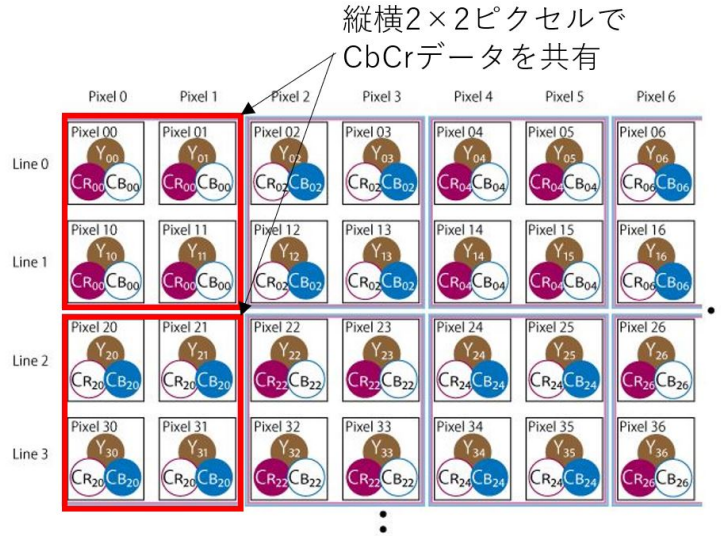


図 6: ディスプレイ表示における YCbCr4:2:0 の構成イメージ（参考文献 [2] より引用）

3.1.2 YCbCr 空間

YCbCr 空間は輝度 (Y)，色差 (CbCr) を用いて全ての色を表現する方式である．輝度とは映像における明るさでありヒトは輝度の約 60～70 % を緑系統の色から取得している [3]．YCbCr 方式における色差の内，Cb は輝度と青成分の差，Cr は輝度と赤成分の差を表す．一般的にヒトの目は輝度に敏感であり，色差に鈍感であるという性質を持つため，色差の情報を間引いても見た目の影響は少ない．その性質を利用した YCbCr 方式の中に YCbCr4:2:0 という表現方法がある．図 6 のように YCbCr4:2:0 は全てのピクセルに対して輝度データを持つのに対して，色差データは水平 2 ピクセル，垂直 2 ピクセルで 1 つのデータを共有する．色深度を 8bit とした場合，RGB 空間では水平・垂直の 2×2 の 4 ピクセルに $8 \times 3 \times 4 = 96$ ビットの情報が必要になるが，YCbCr4:2:0 では $8 \times 4 + 8 \times 2 \times 1 = 48$ ビットの情報で良いためデータ量を半減することが可能である．

3.2 映像データ伝送

ディスプレイに映像を表示するコネクタの規格には VGA (Video Graphics Array) のようなアナログ接続するもの，デジタル接続を行う DVI (Digital Visual Interface)，より高速な通信を行うためのコネクタの Display Port など数多くが存在する．その中でも一般的に幅広く使用されているデジタル接続のコネクタとして HDMI (High-Definition Multimedia Interface) がある．VGA や DVI は映像信号のみの伝送が可能であり，音声信号が伝送出来ないのに対して，Display Port や HDMI は映像信号と音声信号の両方の伝送が可能である．本研究では HDMI による映像伝送を行うことから以下に詳細を述べていく．

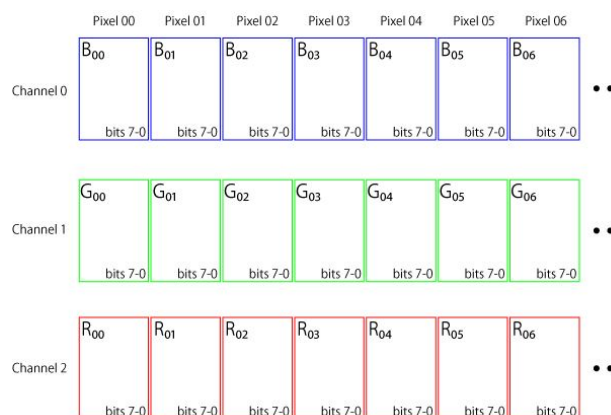


図 7: 8bit-RGB のピクセルパッキング (参考文献 [2] より引用)

3.2.1 HDMI

HDMI とは映像信号と音声信号をデジタル信号で通信するデジタルインターフェース規格の一種である。HDMI データの伝送には TMDS (Transition Minimized Differential Signaling) という高速な差動方式シリアル通信が使用されている。HDMI では本来 8 ビットであるビデオデータなどを 8b/10b 変換を用いて符号化を行うことにより、DC (直流) 成分の最小化、ビデオデータ区間のデータ信号の 1/0 の遷移を少なくすることによる高周波成分の抑制、ブランク区間は 1/0 の遷移を多くすることによるシリアルパターンや映像データの境界検出の容易化などの処理が行われる。TMDS による伝送であることから 2 つのピンの差動信号としてデータの伝送が行われ、差動ペア 2 つのピンをまとめてチャネルと呼ぶ。HDMI ではクロックとして 1 チャネル、データとして 3 チャネル使用するモードが一般的である。

3.2.2 ピクセルデータのパッキング

HDMI におけるデータの伝送には 1 つのクロックチャネルと 3 つのデータチャネルを用いる。色深度が 8 ビットの RGB の場合、ピクセルデータは図 7 のようにチャネル 0 には青、チャネル 1 には緑、チャネル 2 には赤のデータのようにそれぞれのチャネルが固有の色を伝送する。このとき 1 クロックごとに 1 ピクセル分のデータ全てが伝送されるため出力時にデータの再配置などを行う必要がない。

YCbCr4:2:0 におけるピクセルデータは輝度に関しては毎ライン異なるデータが伝送されるのに対して、色差は偶数ラインと奇数ラインで異なるデータが伝送される。図 8, 9 のように偶数ラインではチャネル 0 には Cb データが伝送され、奇数ラインではチャネル 0 に Cr データが伝送される。このように 2 ラインにまたがって 1 ピクセル分のデータが伝送されることから出力時にデータの再配置が必要となる。

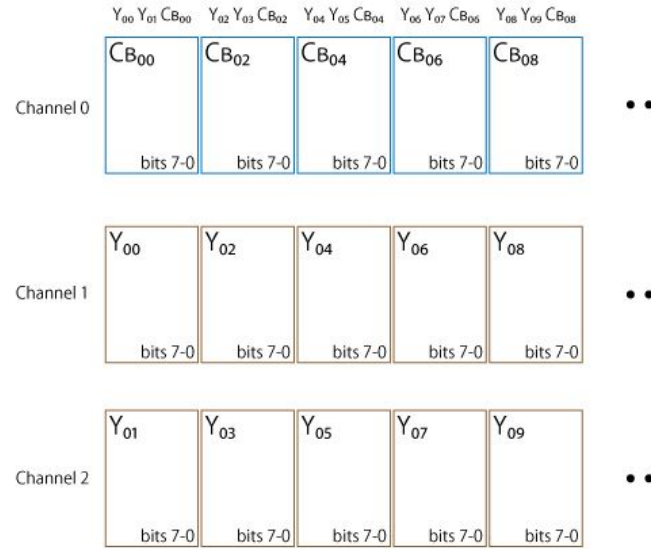


図 8: YCbCr4:2:0 の偶数ラインピクセルパッキング (参考文献 [2] より引用)

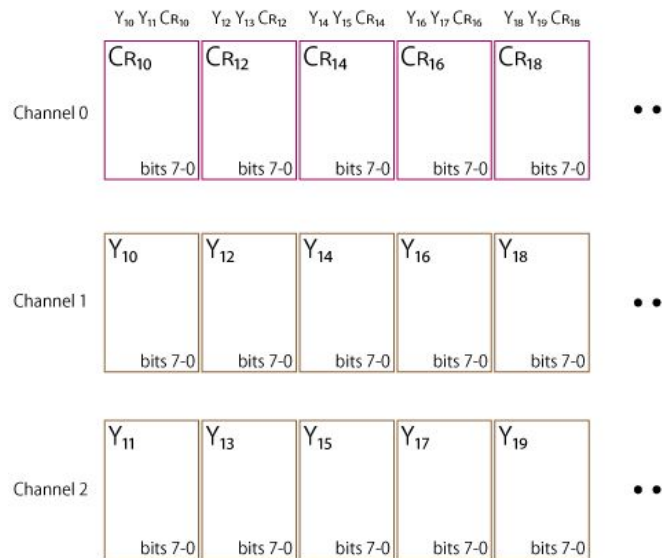


図 9: YCbCr4:2:0 の奇数ラインピクセルパッキング (参考文献 [2] より引用)

4 関連技術・既存研究

4.1 関連技術

4.1.1 SAGE/SAGE2

SAGE (Scalable Adaptive Graphics Environment) は 2009 年にイリノイ大学の EVL (Electronic Visualization Laboratory) で開発されたオープンソースのミドルウェアである。様々な課題に対して科学的視覚化環境の共有の必要性がデータ分析において重要となったことからネットワークによって相互接続された超高解像度のタイル表示を採用した。2013 年に NSF (National Science Foundation) から資金提供を受けて SAGE2 (Scalable Amplified Group Environment 2) として新たな技術を使用して 0 ベースでの再開発が行われた。SAGE2 はブラウザベースのシステムであり、全てが Chrome Web ブラウザから実行されるシステムとなっている。そのため、Chrome が動作する PC 環境全てで利用が可能であり、他の特別なソフトウェアを使用しない。また、ネットワークを介して離れた場所からの制御も可能となっている [4]。

一方で、サーバー側に高性能な GPU が必要であるためコストが高くなってしまうこと、ソフトウェアによる実装のためディスプレイ間での同期が完全には取れないなどの問題がある。また、通常のディスプレイと比べたときにフレームレートが GPU の性能やネットワーク環境に依存しているため安定した動作や高フレームでの動作は難しい。



図 10: SAGE2 (参考文献 [5] より引用)

4.1.2 NVIDIA Mosaic

NVIDIA Mosaic は NVIDIA Quadro および NVIDIA NVS グラフィックカードを用いてタイルドディスプレイを構成する技術である [6]。NVIDIA Quadro グラフィックカードを用いる場合には NVIDIA Quadro Sync 2 オプションボードを用いることでディスプレイ間を同期したタイルドディスプレイを構成することが可能である。Quadro を用いてタイルドディスプレイを構成する場合には Quadro を 4 枚, Quadro Sync 2 を 1 枚用いることで最大 16 画面まで表示が可能となっている。また, 8 画面出力可能な NVIDIA NVS 810 はタイルドディスプレイを構築することを主目的としたグラフィックカードである。いずれのカードもベゼル補正を始めとした様々な機能を備えているが, コストが非常に高くなっている (1 枚あたり約 10 万円) ということや PC 出力しか出来ないなどの問題がある。

4.1.3 業務用マルチディスプレイ

Panasonic が提供している VF1H シリーズは最大で 10 台 × 10 台の 100 画面まで構成が可能な業務用マルチディスプレイである [7]。Display Port や HDMI, DVI での映像入力が可能であり, ディスプレイ間は LAN ケーブルを用いてデジタイズチェーン接続することで映像分配装置などがなくてもマルチディスプレイとしての表示が可能となっている。ディスプレイ間での映像のズレ防止のためにスキャン方向を反転させる機能を始めとして様々な視聴性の向上が図られている。一方で価格はオープン価格となっており販売店などの参考金額は約 120 万円からとなっていて非常に高価である。

4.2 既存研究

4.2.1 4K 映像デコードに主眼をおいたタイルドディスプレイ

Yue らは FPGA を用いて H.264 方式で圧縮された 4K 映像を効率的にデコードすることに主眼をおいたシステムの開発を行った [8]。FPGA を用いて実装を行うことで高パフォーマンスなシステムとなっており, 図 11 のように FPGA を 2 台用いて SD カードから映像データを読み出し 3840×2160@30Hz 映像の出力が可能である。しかし, SD カード以外の映像入力に対応しておらず HDMI などコネクタ経由の映像入力方法を選ぶことが出来ない。

4.2.2 モバイルタイルドディスプレイ

図 12 のようにモバイルデバイスを用いてタイルドディスプレイを構築する研究が行われている [9, 10]。スマートフォンやタブレットを始めとした可搬性に優れるモバイルデバイスを用いてタイルドディスプレイを構成することで外出先など様々な場所での利用が可能となる。しかし, ソフトウェアでの実装になることから画面間の同期が完全には取れない。また, HDMI を始めとした一般的な映像入力コネクタからの映像入力は出来ない。



図 11: 4K 映像デコーダに主眼をおいたタイルドディスプレイ（参考文献 [8] より引用）

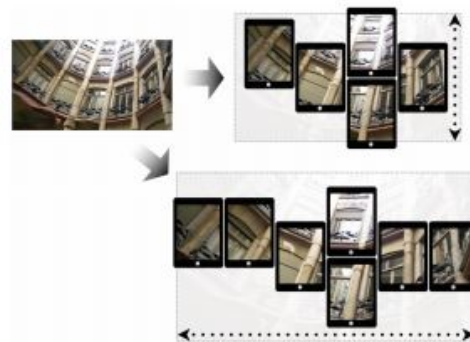


図 12: モバイルタイルドディスプレイ（参考文献 [9] より引用）

4.2.3 ヘテロジニアス FPGA によるタイルドディスプレイ

Deng らは，2019 年にヘテロジニアスマルチコア FPGA を用いたタイルドディスプレイシステムを開発した [11]．ターゲットとしている FPGA ボードは Xilinx 社の Zynq UltraScale+ MPSoC ZCU106 であり，このボードには映像圧縮や ARM CPU など FPGA の他にも様々なハードコアが組み込まれたボードとなっている．このボードを使用して映像入出力，バッファリング処理などを FPGA 上で構築して，制御を ARM CPU で行うことで柔軟に解像度の変更が出来るシステムの開発を目的としている．また，バッファリングに際して本システムでも用いた IP である VDMA を使用することで高速なメモリアクセスを実現している．しかし，IP などを始めとした回路の性能を最大限引き出すことを考えたとき CPU がボトルネックになる可能性があると同時に VDMA などの IP はベゼルコレクションに対応しにくいなどのデメリットがある．そのため本システムでは CPU を用いない設計で 4K タイルドディスプレイを構成していく．

5 システム概要

本研究で開発したシステムの構成は図 13 のようになっている．システムの仕様は表 2 のようになっている．本システムは YCbCr4:2:0 方式 4KUHD (3840×2160) 解像度の毎秒 30 フレームの映像を HDMI を介して FPGA システムが受け取り，4 分割処理をして各ディスプレイに Full-HD (1920×1080) 解像度のインターレース方式で HDMI 出力する．これにより 4 画面全体で 4KUHD 解像度での表示を可能にした．

5.1 FPGA システム

本研究では Digilent 社の提供する NexysVideo ボードを使用しており，Xilinx 社の Artix-7 FPGA が搭載されている．この FPGA ボードは一般的なボードに対して Pmod と呼ばれる GPIO (General Purpose Input Output) や HDMI の入出力ポートなど多くの I/O ポートを持つことに加えて，FMC (FPGA Mezzanine Card) コネクタも備えている．本研究では，ボードに標準搭載されている HDMI 入出力端子を各 1 つと同研究室の塩谷らが 2013 年に設計開発した図 14 の FMC コネクタ用 HDMI 拡張ボードを接続した．この拡張ボードは HDMI 入力ポートを 2 つと出力ポートを 4 つ備えているが，設計上の不備で出力ポートが 2 つしか正常に機能していない．そこで入力ポートの 1 つが出力にも使用が可能なため合計 3 つの HDMI 出力ポートを FMC コネクタ用 HDMI 拡張ボードで使用する．これにより，図 15 の様な HDMI1 入力，4 出力の FPGA システムを開発した．

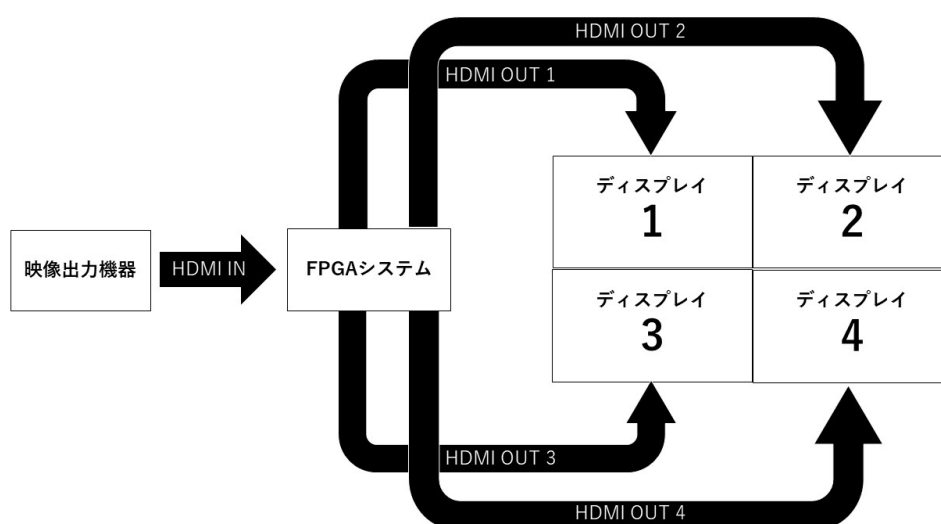


図 13: システム概要図

表 2: システムの仕様

	入力映像	出力映像
解像度	3840×2160	3840×2160 (1枚あたり 1920×1080)
カラーフォーマット	YCbCr4:2:0 (8bit)	RGB (8bit)
ピクセルクロック	148.5MHz	74.25MHz
フレームレート	30fps	60fps (インターレース方式)

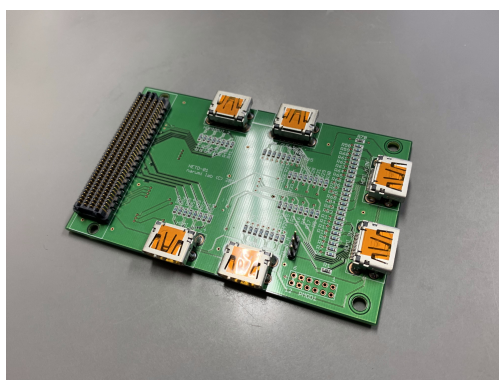


図 14: HDMI 入出力用 FMC 拡張コネクタ

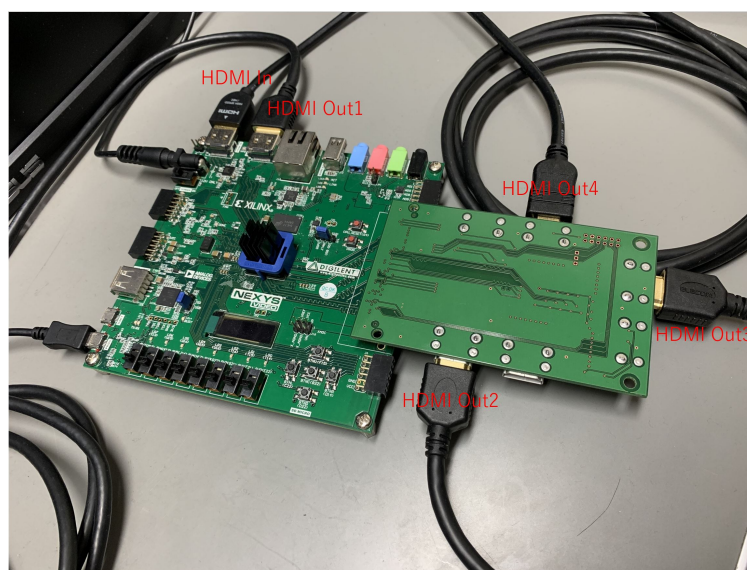


図 15: NexysVideo の HDMI 入出力システム

5.2 HDMI入力におけるデータ量の削減

一般的に HDMI を用いた 4KUHD (3840×2160) @60Hz の伝送には HDMI2.0 規格を用いる。本研究でも HDMI2.0 による 4KUHD 解像度映像の入力を試みたが、前のバージョンである HDMI1.4 からプロトコルが変更されており IP を始めとしたサンプル回路がブラックボックスとされていること、データレートの高さからより高性能なボードが必要となるなどの問題があった。Full-HD (1920×1080) @60Hz での映像データレートが 4.46Gbps であるのに対して、4KUHD@60Hz では総ピクセル数が 4 倍となりデータレートも 17.82Gbps が必要となる。そのため、本システムでは HDMI2.0 以前の規格に沿って伝送を行うことにした。これにより入力映像のデータレート低減が大きな課題となった。今回使用している FPGA の汎用 I/O ポートのデータ転送レートは 1 ペアあたり 1Gbps 強であり、4 ペア使う HDMI では Full-HD が限界である。今回 4K 映像入力をサポートするために、以下の 2 つのデータ削減を行った。

1. YCbCr4:2:0 の色圧縮を行う
2. 垂直同期周波数を 60Hz ではなく 30Hz とする（フレームレートが 30fps）

各処理でそれぞれデータレートを半減させることが可能なため、トータルで 1/4 のデータレートで伝送が可能となる。これにより使用する FPGA 評価ボードの性能の範囲内で 4KUHD 解像度映像の入力を可能とした。

5.3 システムの改良点

同研究室ではタイルドディスプレイに関する研究がいくつか行われてきた。その中でも特に解像度に着目して同研究室の堀田、岩田が開発したシステムと比較していく [12, 13]。両者が開発したシステムの中でも高解像度であるものから、堀田が開発したシステムからは 3D タイルドディスプレイシステム（「3D」と呼ぶ）、岩田が開発したシステムからは PC 専用 6 画面タイルドディスプレイシステム（「PC 専用」と呼ぶ）を比較対象として本システム（「4K」と呼ぶ）と比較する。表 3 は堀田ら、岩田のシステムと自身のシステムの各項目で比較したものである。

5.3.1 入力映像比較

本システムの入力映像の解像度は 3840×2160 (4KUHD) であり、過去のシステムである 3D タイルドディスプレイシステムの解像度 2560×1440 (WQHD) と比べて 2.25 倍の向上している。過去のシステムを見ても FPGA ボードの性能限界から単純な入力映像の解像度向上は困難であった。そのため、本システムでは入力映像のカラーフォーマットに YCbCr4:2:0 を採用することで色圧縮を行った。これにより、FPGA ボードの性能範囲内での入力映像の解像度向上を実現した。同じ解像度の映像における YCbCr4:2:0 は RGB に対してデータ量が半分に圧縮されているが、表 4 のようにこれを加味した上でも本システムの 1 フレームあたりの映像のデータ量は 3D タイルドディスプ

表 3: 既存のシステムとの比較

比較項目		3D	PC 専用	4K
ディスプレイ枚数		4 枚	6 枚	4 枚
入力映像	解像度	2560×1440	2976×1128	3840×2160
	フレームレート	60Hz	30Hz	30Hz
	カラーフォーマット	RGB	RGB	YCbCr4:2:0
出力映像	解像度	2560×1440	2976×1128	3840×2160
	フレームレート	60Hz	60Hz(interlace)	60Hz(interlace)
	カラーフォーマット	RGB	RGB	RGB
FPGA 枚数		2 枚	1 枚	1 枚
3D 表示機能		あり	なし	なし
入力機器の制限		PC のみ	PC のみ	YCbCr4:2:0 出力可能機器のみ
映像の拡大機能		なし	あり (Bilinear 法)	あり (最近接法)

表 4: 映像データ量の違い

	3D	4K
1 フレームあたりのデータ量	11,059,200 (Byte)	12,441,600 (Byte)
1 秒間あたりのデータ量	663,552,000 (Byte)	373,248,000 (Byte)

レイシステムの映像のデータ量よりも多いことがわかる。ただし、本システムのフレームレートは 3D タイルドディスプレイシステムに比べて半分に低下しているため 1 秒間に伝送されているデータ量は低下している。

5.3.2 出力映像比較

出力映像も入力映像の解像度向上に伴って向上している。本システムの出力アスペクト比は 16:9 であり、一般的な規格に準拠した出力映像となっている。PC 専用 6 画面タイルドディスプレイシステムのアスペクト比は約 24:9 となっており標準的なアスペクト比ではない。これは解像度向上を目的として EDID を書き換えることで PC からの入力を与えているためである。PC からの出力はカスタムした EDID を与えることで柔軟な映像出力が可能になるが、その反面 PC 以外での映像入力を受け付けることができなくなる。そのため、本システムでは一般的に利用されているアスペクト比、解像度での映像を入出力可能なシステムの構成を目指した。

6 FPGA システム

FPGA システムは図 16 のように映像入力部（赤），メモリ部（青），映像出力部（緑）の 3 つで構成されている．このシステムが持つ回路構成を機能部分別に以下の節で述べていく．

6.1 映像入力部

映像入力部分は図 17 のように「HDMI デコーダ回路」，Xilinx 社の提供する IP である「Video in to AXI4-Stream」，「EDID（Extended Display Identification Data）読み取り回路」で構成されている．FPGA ボードに入力された HDMI 信号をデコーダ回路が YCbCr データ，水平・垂直同期信号，データ有効信号にデコードを行う．次に 3 つのデータを「Video in to AXI4-Stream」に流し，AXI4-Stream 形式に変換を行いメモリ部へ伝送する．

6.1.1 HDMI デコーダ

HDMI 信号のデコーダ回路は git 上にて hamsternz 氏が公開している Nexys Video をターゲットにした HDMI パススルー回路に改良を加えることで実装を行った [14]．後続の回路である「Video in to AXI4-Stream」を利用する制限として水平・垂直同期信号とデータ有効信号が正論理であることがある．そのためデコードした信号を使用せず同期信号とデータ有効信号を正論理に強制するように改良した．また，一部クロックバッファを本システムに適したものに変更した．

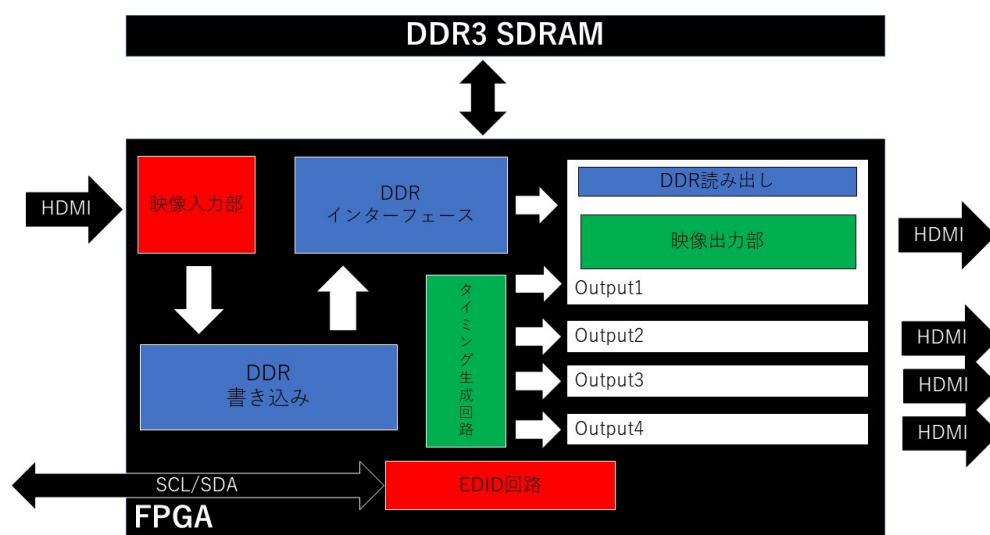


図 16: 4K タイルドディスプレイシステムの回路構成

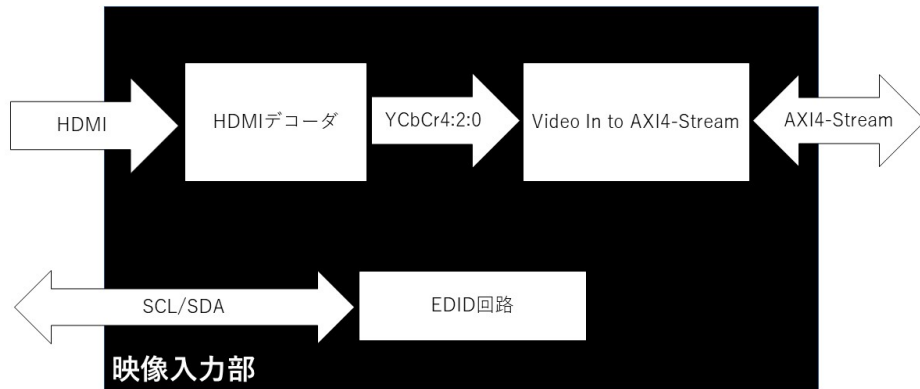


図 17: 映像入力部の回路構成

6.1.2 Video In to AXI4-Stream

ビデオデータの AXI4-Stream 変換には Xilinx 社の提供する IP である「Video in to AXI4-Stream」を用いた。この IP コアには YCbCr4:2:0 方式の映像データを受け取るモードが存在するが、「Video in to AXI4-Stream」と対になる IP である「AXI4-Stream to Video Out」を使用することを前提としたデータの再配置が行われるため意図したデータ配置にならない。そのため、本システムではデータの再配置が行われない RGB モードで使用する YCbCr4:2:0 方式の映像を受けることとした。

6.1.3 EDID 回路

HDMI には DDC (Display Data Channel) と呼ばれるシンク機器とソース機器間でデータの通信を行うチャンネルが備わっている。DDC は EDID のほかに HDCP (High-bandwidth Digital Content Protection) が通信されるチャンネルであり I2C 方式での通信が行われる。EDID はディスプレイが固有の情報として保持しておりソース機器が DDC を通じて読み取りを行うことで、ディスプレイが表示可能な映像をシンク機器へ伝送することが可能になる。読み取りを行う I2C 通信回路には git 上にて hamsternz 氏が公開していた回路を使用した [14]。また EDID に関しては 4K 解像度かつ YCbCr4:2:0 が表示可能なテレビである LG 49UF8500-J8³のデータを元に本システムの要件を満たすように書き換えを行った。

³<https://www.lg.com/jp/tv/lg-49UF8500>

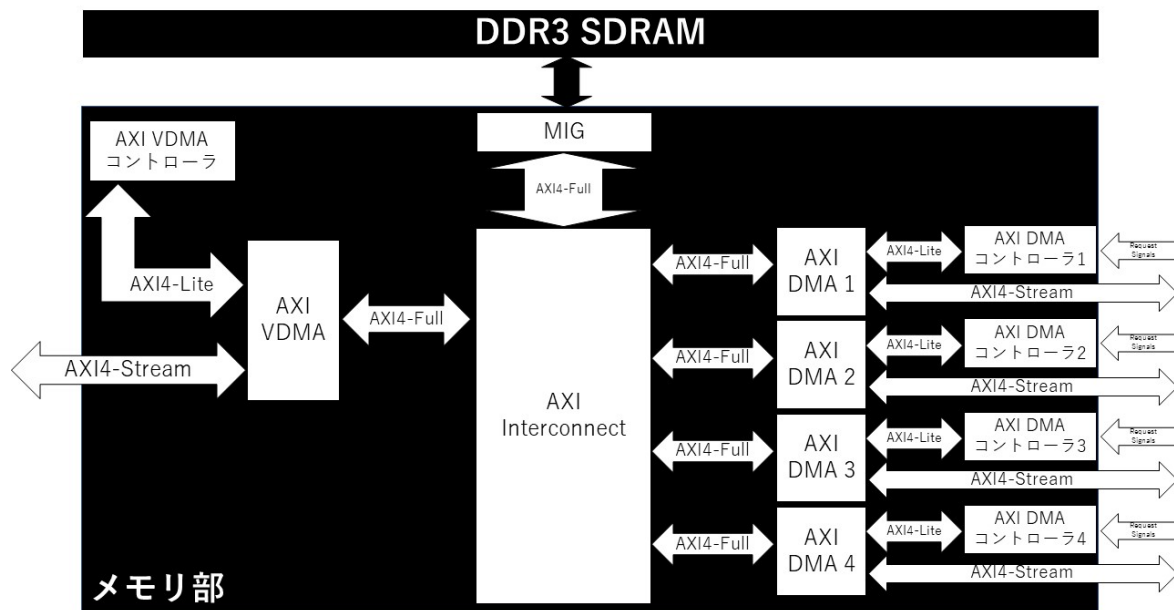


図 18: メモリ部の回路構成

6.2 メモリ部

メモリ部は図 18 のように、「AXI VDMA」、「AXI VDMA コントローラ」、「AXI Interconnect」、「MIG (Memory Interface Generator)」、「AXI DMA」、「AXI DMA コントローラ」で構成されている。DDR インターフェース構成必要となる「AXI Interconnect」、「MIG」、DDR 書き込みに必要となる「AXI VDMA」、DDR 読み出しに必要となる「AXI DMA」は Xilinx が提供する IP コアによって構成されている。また、「AXI VDMA」の制御に必要となる「AXI VDMA コントローラ」、「AXI DMA」の制御に必要となる「AXI DMA コントローラ」は Verilog を用いて実装している。各 IP コア及びモジュール間は AXI バスを用いてデータの転送を行う。

6.2.1 DDR インターフェース

Nexys Video ボードに搭載されている DDR3 SDRAM は FPGA 外部にあるため FPGA 内部に DDR メモリとのインターフェースを構成する必要がある。インターフェースの構成には Xilinx が提供する IP コア「MIG」を用いた。MIG は AXI4-Full 形式で送受信が行われたデータに対して DDR メモリへのデータの読み書きを行うインターフェース回路である [15]。本システムでは 1 入力 4 出力の構成上合計 6 つのバスを通じて DDR とのやり取りを行う必要がある。しかし、MIG を用いた DDR インターフェースは回路上に 1 つのみしか構成ができないため、1 つ以上の AXI メモリマップ方式マスターデバイスと 1 つ以上のメモリマップ方式スレーブデバイスを接続する Xilinx の提供する IP コア「AXI Interconnect」を用いて 1 対多の AXI4-Full 形式のデータ送受信を可能にした [16]。

表 5: 使用した VDMA のレジスタ空間

アドレスオフセット	レジスタ名称	レジスタ内容
h'28	PARK_PTR_REG	パークポインタレジスタ
h'30	S2MM_VDMACR	コントロールレジスタ
h'34	S2MM_VDMASR	ステータスレジスタ
h'3C	S2MM_VDMA_IRQ_MASK	割り込みマスクレジスタ
h'A0	S2MM_VSIZE	垂直サイズレジスタ
h'A4	S2MM_HSIZE	水平サイズレジスタ
h'A8	S2MM_FRMDLY_STRIDE	ストライドサイズレジスタ
h'AC	S2MM_START_ADDRESS	書き込み開始アドレスレジスタ

6.2.2 DDR 書き込み

Nexys Video が備える DDR3 SDRAM への書き込みには Xilinx が提供する IP コア「AXI VDMA」を用いた。VDMA は様々なフレームレートや解像度に対するフレームバッファへの読み書きのために高帯域幅なダイレクトメモリアクセスを実現する IP である [17]。VDMA は AXI4-Lite バスを通じて FPGA 内部に構築した CPU や内蔵されている ARM CPU を用いて VDMA が持つレジスタ空間を制御する。しかし、本システムでは VDMA へのアクセスを頻繁に行わないため CPU を実装するメリットが少ないことや CPU がボトルネックとなる可能性がある。そのため、VDMA のレジスタ設定を行う専用の回路「AXI VDMA コントローラ」を構築する。

「AXI VDMA コントローラ」は AXI4 プロトコルに準拠したデータ伝送を行うためのマスター回路、VDMA を制御するレジスタ空間へのアクセスのステート制御回路で構成されている。AXI4-Lite マスター回路は IP コアの VDMA と AXI4-Lite バスを通じてプロトコルの制御を行う。その上位モジュールにて VDMA のレジスタ空間におけるアドレスとデータを指定することで制御を行う。表 5 は本システムで使用した VDMA のレジスタ、表 6 は作成した「AXI VDMA コントローラ」の制御ステートとその実行内容である。コントロールレジスタ及びステータスレジスタへの書き込みを行う際にエラーが出ると VDMA の機能が停止してしまうため、書き込みの内容及び書き込み完了の確認を行ってから次ステートへの遷移を行う。他のレジスタに関してはエラーに対して機能の停止などは起こらないため書き込みと同時に次ステートへの遷移を行うように回路を構成した。

実際に書き込まれたフレームデータのメモリマップは図 19 のようになっている。HDMI における YCbCr4:2:0 形式の 4KUHD 解像度（3840×2160）は RGB 形式の 1920×2160 のデータとして伝送が行われる。4 ピクセルに 1 つしかない CbCr データを各ピクセル毎に復元する再配置は書き込み時には行わない。

表 6: VDMA のステート制御

ステート番号	ステート名称	動作内容
0	INIT	VDMA の初期化
1	RESET WAIT	初期化完了待ち
2	STS CLEAR	ステータスレジスタのクリア
3	IRQ MASK	エラー割り込みマスクの設定
4	CTRL	コントロールレジスタへ動作待機命令
5	CTRL WAIT	コントロールレジスタの書き込み完了応答待ち
6	ADDR	書き込みベースアドレスの設定
7	PARK	パークポイントレジスタへの書き込み
8	STRIDE	ストライドサイズの設定
9	H	水平ピクセル数の設定 (Byte)
10	V	垂直ライン数の設定 (ライン)
11	START	コントロールレジスタへのスタート命令
12	IDLE	動作中

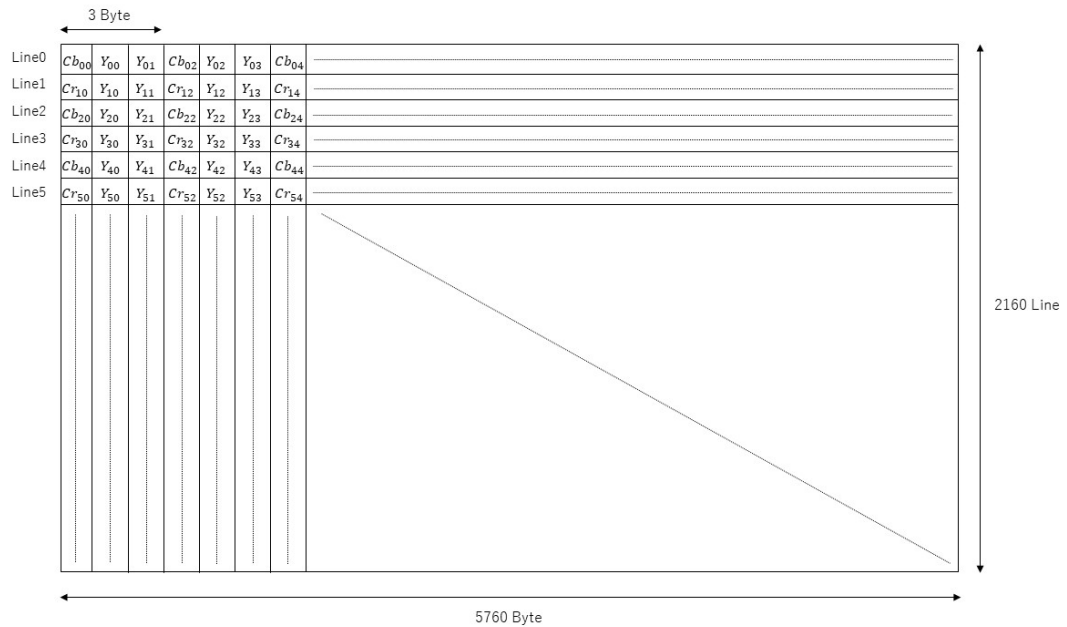


図 19: フレームデータのメモリマップ

表 7: 使用した DMA のレジスタ空間

アドレスオフセット	レジスタ名称	レジスタ内容
h'00	MM2S_DMACR	コントロールレジスタ
h'04	MM2S_DMASR	ステータスレジスタ
h'18	MM2S_SA	ソースアドレスレジスタ
h'28	MM2S_LENGTH	読み出しデータ長レジスタ

6.2.3 DDR 読み出し

DDR メモリからの読み出しには Xilinx の IP コア「AXI DMA」を用いた。書き込みに用いた「AXI VDMA」は、ビデオ用途専用に設計された IP であったが、「AXI DMA」はメモリに対してアドレスとデータ長のみを指定して伝送を行う IP である。DDR 読み出しを行うモジュールは 3 段構成になっている。最下位のモジュールは「AXI VDMA」の制御にも用いた AXI4-Lite プロトコルを制御するモジュールである。中間モジュールは「AXI DMA」のレジスタ制御を行うモジュールであり、「AXI VDMA」の制御と同様にレジスタ空間への読み書きステートを制御する。最上位モジュールは「AXI DMA」に対して読み出しを行うデータ長とアドレスを管理するモジュールである。中間のステート制御モジュールは同研究室の岩田が 2017 年に作成したものを参考に最新の IP のバージョンに対応させたものである。

最下位・中間モジュールの基本的な構造は「AXI VDMA」制御モジュールと同様であり、使用したレジスタを表 7、ステート制御を表 8 に示す。異なる点はステート制御において、後述の映像読み出しモジュールから次ラインデータの要求信号を受けて読み出し開始アドレスを変化させてデータ伝送を行うためステート番号 2 から 7 をループする制御となっている点である。

最上位モジュールは読み出しアドレスを管理するモジュールであり、書き込みを行ったビデオデータの YCbCr4:2:0 形式に対応した読み出しが必要となる。先述の通り、書き込みが行われたフレームデータのメモリマップは図 19 になっている。YCbCr4:2:0 形式のビデオデータは 1 ピクセルの色情報が 2 ラインにまたがってデータが伝送される。そのため、1 ライン分の描画に対して 2 ライン分のデータが必要となる。この制約から映像出力モジュール側からの次ラインデータの要求信号を受けてデータを伝送する際に 2 ライン分のデータを映像出力モジュール側へ伝送することで描画に必要なデータを取得するように回路を構成した。

6.3 映像出力部

映像出力部の回路構成は図 20 のように「タイミング生成回路」、「ストリーム変換回路」、「HDMI エンコーダ」で構成されている。各モジュールを介して HDMI 信号として各ディスプレイに出力が行われる。

表 8: DMA のステート制御

ステート番号	ステート名称	動作内容
0	INIT	DMA の初期化
1	CHECKRESET	初期化完了待ち
2	IDLE	次データの要求待ち
3	CHECKBUSY	DMA の busy 状態チェック
4	SETADDR	読み出し先頭アドレスの設定
5	START	DMA の読み出し開始
6	SETLENGTH	読み出しデータ長の設定 (Byte)
7	GETDATA	次データ待機可能状態

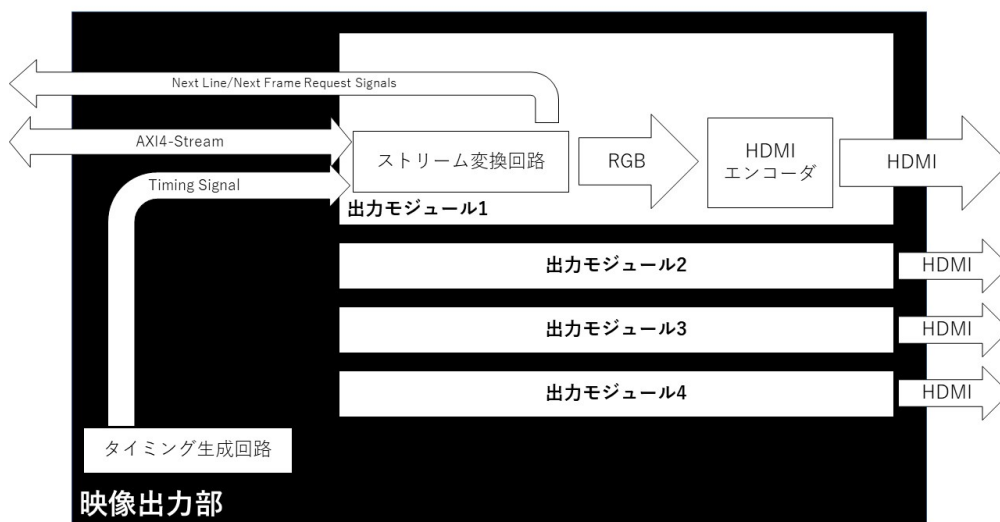


図 20: 映像出力部の回路構成

6.3.1 タイミング生成回路

タイルドディスプレイの構成に際して入力映像と出力映像で解像度が異なるため、水平・垂直同期信号やデータ有効信号を再生成する必要がある。ディスプレイの表示は左上から右下に向けて水平に走査線を何重にも走らせることで行われる。表示方法には大きく分けてプログレッシブ方式とインターレース方式がある。図 21 のようにプログレッシブ方式では左上から順に走査線が走るのに対して、図 22 の様なインターレース方式では奇数行のみ走査線が走る奇数フレームと偶数行のみに走査線が走る偶数フレームを合わせることで 1 枚のフレームを構築する。プログレッシブ方式は 1 フレームあたりの解像度が高く静止画としても鮮明な映像として見られる。インターレース方式では 1

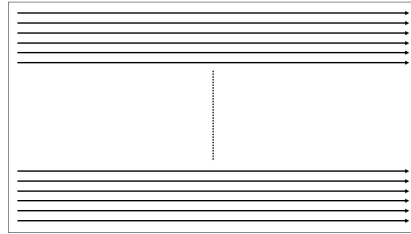


図 21: プログレッシブ方式の走査線

フレームあたりの解像度がプログレッシブ方式の半分になる代わりに 1 秒あたりの描画フレーム数が倍になるためよりなめらかな映像として捉えられるメリットが有る。

本システムでは入力映像が毎秒 30 フレームの映像であるため、 $1920 \times 1080 @ 30\text{Hz}$ 映像で出力を行うことが入力映像に対応している。しかし、PC 用ディスプレイでは $1920 \times 1080 @ 30\text{Hz}$ 映像には対応していないものが多いこと、FPGA の出力ピン性能から出力周波数を下げる必要があったことから、本システムでは出力には $1920 \times 1080 @ 60\text{Hz}$ 映像をインターレース方式で出力を行うことにした。

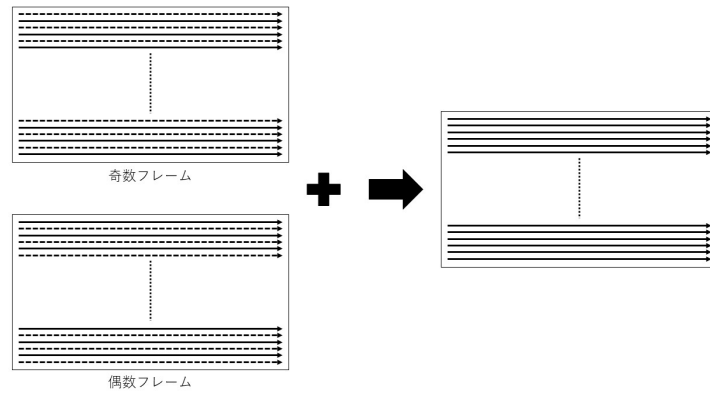
ディスプレイ表示のためのタイミングの詳細などはアメリカエレクトロニクスの業界団体である EIA (Electronic Industries Alliance) が定めている。本システムでも EIA の定める EIA/CEA-861-B からインターレース方式の Full-HD 解像度映像のタイミングを採用して実装した [18]。実際のタイミングは図 23 のようになっており、本来の 1 フレームの映像に対して半フレームの描画が終わった時点で垂直同期信号を有効にすることで偶数フレームと奇数フレームに分割している。垂直同期信号と水平同期信号が同時に有効となると偶数フレームであることを意味し、垂直同期信号が 2 つの水平同期信号の間で有効となると奇数フレームであることを意味する。

6.3.2 ストリーム変換回路

図 24 のようにストリーム変換回路は「次ライン要求回路」、「次フレーム要求回路」、「ビット幅変換回路」、「ビデオデータ変換回路」、「RGB 変換回路」で構成されている。

6.3.2.1 次ライン要求回路/次フレーム要求回路

DMA コントローラは次ライン要求回路と次フレーム要求回路から 1 ラインの描画終了示す信号、1 フレーム描画終了を示す信号を受けて新たなビデオデータを伝送する。その際に DMA コントローラ側と出力モジュール側でクロック領域が異なるためクロック差を考慮した信号伝送を行う必要がある。一般的に異なるクロック領域間で信号伝送を行う場合、FIFO 等によるバッファリングを行って伝送を行う。本システムではメモリ側の動作周波数は 100MHz、映像出力モジュール側の動作周波



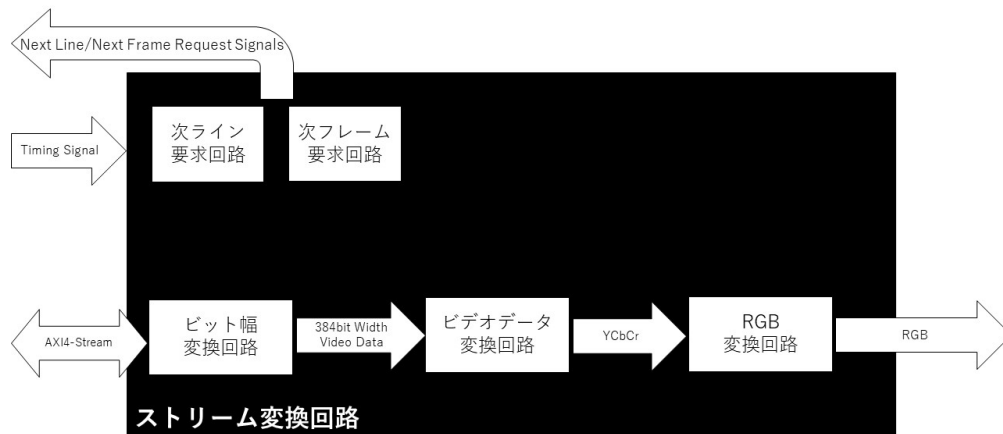


図 24: ストリーム変換回路の構成

6.3.2.2 ビット幅変換回路

AXI DMA から伝送されるビデオデータは 128bit 幅の AXI4-Stream 形式データであるのに対して、1 ピクセルあたりのデータは 24bit であるため 24 の倍数へのビット幅変換が必要となる。変換処理は 384bit 幅レジスタを用意して 128bit 単位のデータを 3 つまとめることで 384bit 幅のデータとしてビデオデータコントローラへ伝送する。回路は同研究室の岩田が 2017 年に開発したものを使用した。

6.3.2.3 ビデオデータ変換回路

ビデオデータコントローラは 384bit 幅で入力されたビデオデータを各ピクセルに対応した YCbCr データとして出力する回路である。各ピクセルに対応したデータを取り出す際に 1 ライン分のデータを保持するバッファ（ラインバッファ）を用意する。このバッファには FPGA に備わる BRAM（Block RAM）と呼ばれるメモリを Xilinx の IP コア「Block Memory Generator」を用いて生成する。このバッファの用途は 384bit 幅で入力されるデータを 24bit 幅に切り出して出力を行うこと、各ピクセルに対応するデータの内から Cb/Cr を重複して読み出す必要があるために保持することである。

回路の内のラインバッファの構成は図 25 のようになっており 4 段のラインバッファを保有している。ラインバッファに入力されるビデオデータが YCbCr4:2:0 形式であるため色差情報である Cb/Cr データは 2 ラインに 1 回しか送られてこない。そのため、2 ラインを書き込み 2 ラインを読み出すという動作を繰り返す。このときデータの読み出し中に書き換えられることを避けるためにダブルバッファリングをしており読み出しを行っているバッファへの書き込みが起らないよう実装した。

それぞれのラインバッファに書き込みが行われるデータにおいて必ずバッファ0, 2にはCbを含むラインのデータ, バッファ1, 3にはCrを含むラインのデータが書き込まれるようにDDR読み出しを行っている。

読み出しを行ったデータを各ピクセルが必要とするYCbCrデータとして並べ替える必要がある。データの並べ替えの基本は出力するピクセルの行列の偶数奇数の判定で実装する。また、本システムでは映像出力方式がインターレース方式であるためデータの並べ替えに際して出力しているフレームが偶数フレームであるのか奇数フレームであるのかによって分ける必要がある。よって垂直カウンタの0ビット目をvcnt[0], 水平カウンタの0ビット目をhcnt[0]として以下のような8パターンで読み出しを場合分けする。このとき図23から垂直方向のカウンタが偶数フレームの最初の行は21カウント目であり、奇数フレームの最初の行は584カウント目であることに注意する必要がある。これらの処理に必要なクロック数分の遅延を水平・垂直同期信号, データ有効信号を加える。これら処理によって後続の回路には出力すべきピクセルに対して対応したYCbCrデータ, 遅延が考慮された水平・垂直同期信号, データ有効信号が伝送される。

- 偶数フレームのとき

- vcnt[0] == 0 && hcnt[0] == 0
 - * Y: ラインバッファ0のチャンネル1
 - * Cb: ラインバッファ0のチャンネル0
 - * Cr: ラインバッファ1のチャンネル0
- vcnt[0] == 0 && hcnt[0] == 1
 - * Y: ラインバッファ0のチャンネル2
 - * Cb: ラインバッファ0のチャンネル0
 - * Cr: ラインバッファ1のチャンネル0
- vcnt[0] == 1 && hcnt[0] == 0
 - * Y: ラインバッファ2のチャンネル1
 - * Cb: ラインバッファ2のチャンネル0
 - * Cr: ラインバッファ3のチャンネル0
- vcnt[0] == 1 && hcnt[0] == 1
 - * Y: ラインバッファ2のチャンネル2
 - * Cb: ラインバッファ2のチャンネル0
 - * Cr: ラインバッファ3のチャンネル0

- 奇数フレームのとき

- vcnt[0] == 0 && hcnt[0] == 0

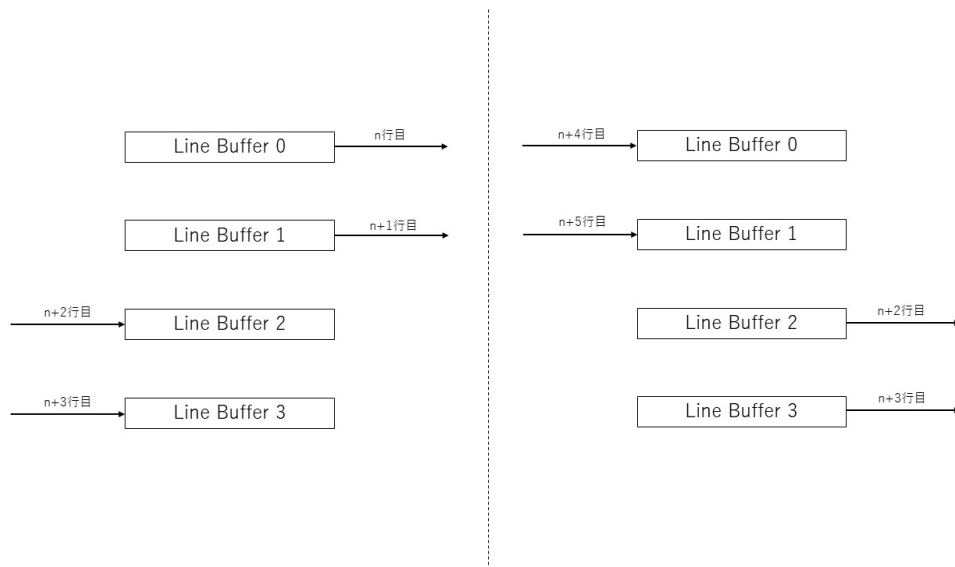


図 25: ラインバッファの構成

- * Y : ラインバッファ3 のチャンネル 1
- * Cb : ラインバッファ2 のチャンネル 0
- * Cr : ラインバッファ3 のチャンネル 0
- vcnt[0] == 0 && hcnt[0] == 1
 - * Y : ラインバッファ3 のチャンネル 2
 - * Cb : ラインバッファ2 のチャンネル 0
 - * Cr : ラインバッファ3 のチャンネル 0
- vcnt[0] == 1 && hcnt[0] == 0
 - * Y : ラインバッファ1 のチャンネル 1
 - * Cb : ラインバッファ0 のチャンネル 0
 - * Cr : ラインバッファ1 のチャンネル 0
- vcnt[0] == 1 && hcnt[0] == 1
 - * Y : ラインバッファ1 のチャンネル 2
 - * Cb : ラインバッファ0 のチャンネル 0
 - * Cr : ラインバッファ1 のチャンネル 0

6.3.2.4 RGB 変換回路

入力映像が YCbCr 方式映像であることに対して、出力側のディスプレイが YCbCr 方式映像に対応していないことが多い。出力映像を一般的な RGB 方式で行うために RGB 変換回路を実装した。変換式には ITU (International Telecommunication Union) が定める「ITU-R BT.2020-2」に記載されているものを採用した。「ITU-R BT.2020-2」は UHDTV 画像向けのシステムパラメータを策定したものであり、その中に YCbCr と RGB の関係式も記載されている [19]。本システムでは「ITU-R BT.2020-2」から以下の式を採用した。

$$Y' = 0.2627R' + 0.6780G' + 0.0593B' \quad (Y' = Y - 16) \quad (1)$$

$$C'_B = \frac{B' - Y'}{1.8814} \quad (C'_B = C_B - 128) \quad (2)$$

$$C'_R = \frac{R' - Y'}{1.4746} \quad (C'_R = C_R - 128) \quad (3)$$

上記の式を RGB を求める式に変形すると以下の式になる。

$$R = (Y - 16) + 1.4746(C_R - 128) \quad (4)$$

$$G = (Y - 16) - 0.1646(C_B - 128) - 0.5714(C_R - 128) \quad (5)$$

$$B = (Y - 16) + 1.8814(C_B - 128) \quad (6)$$

回路実装するにあたり小数が含まれる式は複雑になることから右辺全体を 256 倍（8 ビット左シフト）して計算後に 256 で割る（8 ビット右シフト）ことで実装を簡単化した。実装を行った式は以下のようになった。

$$R = (Y \ll 8 + 377 * C_R - 52416) \gg 8 \quad (7)$$

$$G = (Y \ll 8 - 42 * C_B - 146 * C_R + 20021) \gg 8 \quad (8)$$

$$B = (Y \ll 8 + 482 * C_B - 65746) \gg 8 \quad (9)$$

上記の式を実装するにあたり図 26 のようなパイプライン実装を行った。各項目で行う内容は表 9 のようになっており 4 段のパイプラインを構成している。各項目は計算が終わる毎に 1 クロック毎に結果が出力されていくが、毎行数クロックの遅延が発生するため後続の回路に影響がないように水平・垂直同期信号などの映像出力に関わる信号に遅延を考慮したものを出力する処理を加えた。

6.3.3 HDMI エンコーダ

HDMI 出力を行う際のエンコーダには Digilent 社の提供する IP 「rgb2dvi」を利用した。本システムにおける出力は Full-HD 解像度のインターレース方式であり IP 「rgb2dvi」でのエンコードが可能のため HDMI 通信のエンコーダとして用いた。

水平方向のピクセル数	0	1	2	3	4	5
1ピクセル目	VC1	MC	AC	VC2		
2ピクセル目		VC1	MC	AC	VC2	
3ピクセル目			VC1	MC	AC	VC2
4ピクセル目				VC1	MC	AC
5ピクセル目					VC1	MC
6ピクセル目						VC1

図 26: RGB 変換回路のパイプライン

表 9: パイプラインの内容

項目名称	実行内容
VC1	入力映像のデータが YCbCr の範囲内にあるかチェック
MC	各式の乗算項をすべて計算し保持する
AC	先の乗算項をすべて加算する
VC2	計算結果が RGB の範囲内にあるかチェック

6.4 動作結果

図 27 を入力映像として与えたとき，開発したシステムを介して表示したものが図 28 となっている．また，開発したシステムを用いてソースとなる映像データが 4K である場合の動作確認も行い，Full-HD 解像度のものと比較して高解像に出力されていることも確認する事ができた．



図 27: 入力映像



図 28: システムを介した出力映像

7 動的ベゼルコレクション

本章では動的なベゼルコレクションについて述べる。従来のシステムでのベゼルコレクションはデータを間引く部分をあらかじめメモリから読み出すときに固定値として与えて一部のデータを重複して読み出して拡大するものであった。FPGA を用いたタイルドディスプレイシステムは HDMI 入力可能なディスプレイならば出力が出来ることが利点の 1 つとして挙げられる。この利点に対して、既存のシステムではディスプレイはそれぞれ固有のベゼル幅を持つためにディスプレイを変更する毎にデータを間引くベゼル幅の数値をソースコード内で変更し再コンパイルする必要があった。この問題に対して出力映像の拡大率を外部から与えることで動的にベゼル幅を操作出来るようにした。

7.1 ベゼルとベゼルコレクション

ディスプレイにはベゼルと呼ばれる映像出力がされない縁がある。図 29 のようにタイルドディスプレイを構成するときに 1 つの映像がディスプレイをまたぐことからベゼルによる視認性の低下が起こる。単純に分割した映像を出力すると、ディスプレイ間のベゼルを飛び越したように見えてしまうことから違和感が出てしまう。この問題に対して、図 30 のように 1 つの映像の上をベゼルが覆っているように見えない部分を間引くことで違和感を低減する技術をベゼルコレクションと呼ぶ。

7.2 実装について

前章での 4K タイルドディスプレイシステムに対して動的なベゼルコレクション機能の実装を行った。FPGA ボードに搭載されているスライドスイッチとプッシュスイッチを使うことで拡大率を変更する。以下の節では各機能の実装について述べていく。

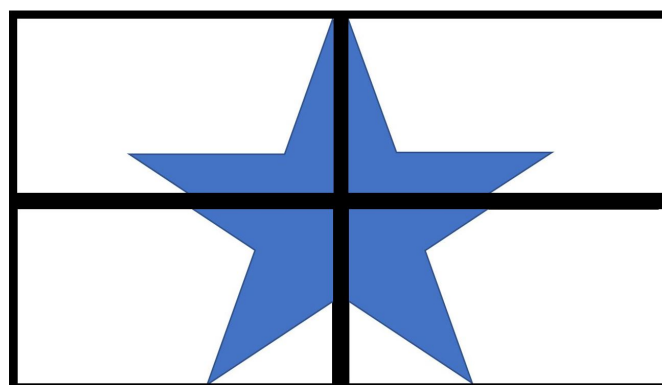


図 29: ベゼルコレクションなし

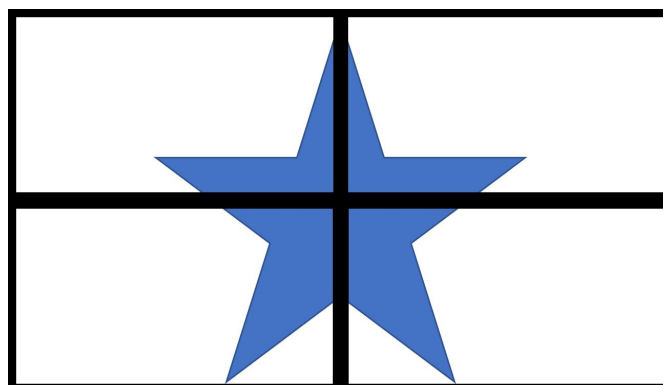


図 30: ベゼルコレクションあり

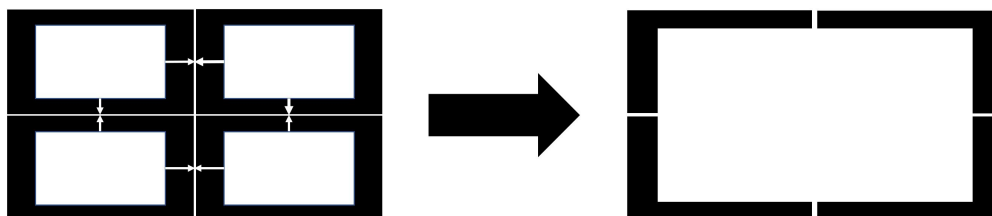


図 31: ベゼルコレクションの実装概要

7.2.1 実装概要

ベゼルコレクションは図 31 のように各ディスプレイが持つベゼルに対して水平・垂直方向に拡大することで画面全体として違和感を低減する．実装に際して，ディスプレイは水平方向と垂直方向で別々のベゼル幅を持つことに加えて，水平方向はピクセル単位での拡大，垂直方向はライン単位での拡大になるという違いがある．そのため，水平・垂直で異なる拡大率を保持して実装を行っていく．

7.2.2 拡大率の範囲

市販されている一般的なディスプレイを考えたとき，ベゼル幅が大きくとも液晶に対して 10 % はないであろうと仮定して，拡大率は 1 倍から 1.1 倍であるとした．このとき，内部回路を単純にするため，拡大率の逆数を使う．その際に拡大率を十分に調整出来るように 15bit 精度で考える．拡大率を $M_{(10)}$ ，拡大率の逆数を $\frac{1}{M_{(10)}}$ ，拡大率の逆数を 2 進数化したものを $\frac{1}{M_{(2)}}$ としたときにそれぞれの範囲は以下になる．

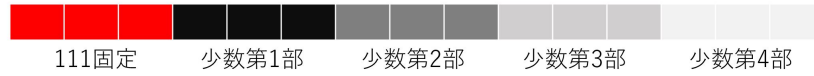


図 32: 小数部分の区切り

$$1.0 < M_{(10)} \leq 1.1 \quad (10)$$

$$0.909090... \leq \frac{1}{M_{(10)}} < 1.0 \quad (11)$$

$$0.111010001011101 \leq \frac{1}{M_{(2)}} < 1.0000000000000000 \quad (12)$$

7.2.3 拡大率の入力

拡大率の入力には使用した Nexys Video ボードが備えるスライドスイッチとプッシュスイッチを使用した。その際に拡大率の逆数の小数部分を 15bit 精度で扱うとした。(12) 式から 1.0 倍のときを除き少数部分の上位 3 ビットは必ず 1 で固定されている。これより、下位から 12 ビット分の操作を行えるように実装を行った。1.0 倍のときは例外として 1.0 倍であるか否かを示す信号を用意して例外処理とした。拡大率の操作にはプッシュスイッチを用いて行うが操作可能なビット数が 12 であるため、約 2^{12} 段階の操作が必要となる。最大で約 2^{12} 回の操作を行うことは現実的ではないため図 32 のように 12 ビットを 3 ビットずつに区切った。これにより、各少数部分で最大 7 段階の操作で済むため容易に拡大率の調整が可能となった。少数第 1 部が一番拡大率への影響が大きく下位部にいくほどより詳細な拡大率の変更が可能となっている。このとき、(12) 式から逸脱しないように内部的に各小数部に対して操作限界を設けている。実際の操作には図 33 のスライドスイッチと図 34 のプッシュスイッチを用いて以下のように行う。

- 操作可能な小数部分の制御方法 (図 33)
 - SW6=0, SW7=0 のとき、少数第 1 部を操作可能
 - SW6=1, SW7=0 のとき、少数第 2 部を操作可能
 - SW6=0, SW7=1 のとき、少数第 3 部を操作可能
 - SW6=1, SW7=1 のとき、少数第 4 部を操作可能
- 水平・垂直方向の拡大率の制御方法 (図 34)
 - BTN R で水平方向の拡大率増加 (水平方向のベゼル幅が増加)
 - BTN L で水平方向の拡大率減少 (水平方向のベゼル幅が減少)
 - BTN U で垂直方向の拡大率増加 (垂直方向のベゼル幅が増加)
 - BTN D で垂直方向の拡大率減少 (垂直方向のベゼル幅が減少)

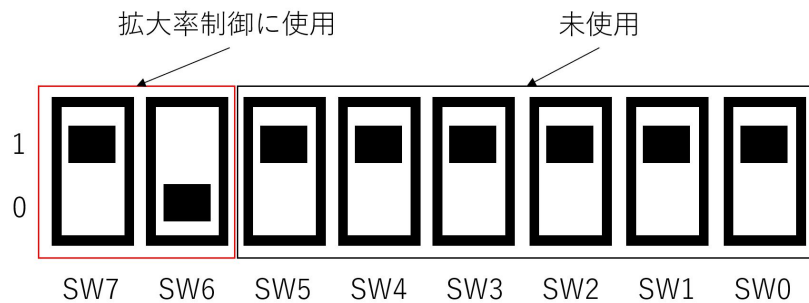


図 33: スライドスイッチの割当て

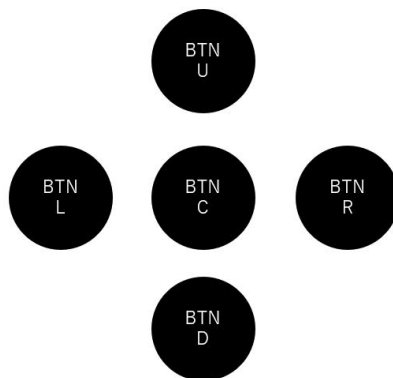


図 34: プッシュスイッチの割当て

7.2.4 水平方向の拡大手法

水平方向の拡大のために先のシステムの RGB 変換回路の後続にベゼルコントロール用の回路を実装した。ベゼルコントロール回路の役割は「ラインバッファによる RGB 変換後のデータの保持」, 「RGB データのバッファリングに伴う同期信号の遅延の考慮」, 「拡大率を考慮した読み出しアドレスの生成」である。

水平方向の拡大には RGB データを一度バッファリングして拡大率に応じて一部データを重複させて読み出すことで実現する。その際、読み出しと書き込みを同時に行わないようにラインバッファを2つ用意してダブルバッファリングを行う。同時に RGB データを一度バッファリングする関係から同期信号に遅延をもたせる必要がある。同期信号は拡大率に関係なく定められたタイミングで出力する必要があるため、同期信号も同様に一度バッファリングを行う。同期信号のバッファリングにはアドレス参照の様に自由度の高い読み出しは必要ないことから FIFO にバッファリングを行い遅延をもたせる。

拡大率を考慮したアドレスの生成には保持していた拡大率の逆数をインクリメントの単位としたカウンタを用いて生成する。例として4倍に拡大をする際には逆数は0.25となり、クロックごとに

0.25 ずつインクリメントされていくカウンタの整数部分を取ることで同一のアドレスを 4 回参照することになる。これはどのような拡大率にも同様のことが言える。この様なカウンタを用意することで任意の拡大率に応じたアドレスを生成することができる。

水平方向の拡大時に右側のディスプレイに対してはベゼル幅分のオフセット（表示をしない部分）を考慮する必要がある。オフセットは水平が 1920 ピクセル分描画することが決まっているため、1920 ピクセル目が描画されているときにどのアドレスを示しているかを参照して差分を取ることで取得できる。これをアドレスカウンタの初期値として与えることで水平方向のベゼルコレクションを実現した。

7.2.5 垂直方向の拡大手法

垂直方向の拡大にはフレームバッファから参照するデータを拡大率に応じて重複させて読み出すことで拡大を実現する。メモリ読み出しは一行の描画が終わる毎に映像出力モジュールからメモリ読み出しモジュールに次の行を要求する信号を送ることで行われている。この操作に対して水平方向の拡大時と同様に拡大率の逆数単位でインクリメントされていくカウンタを用意する。このカウンタがインクリメントされたときにカウンタの整数部分が変化しなければ、メモリ側にアドレスをインクリメントしないようにする割り込み信号を用意する。これにより割り込みがメモリ側に入ってきたときは同一のデータを重複して読み出すことで垂直方向にも拡大することが可能になった。

水平方向の拡大時と同様に下側のディスプレイに対してオフセットを考慮する必要がある。実装の方針は水平方向のオフセットと同様である。次ラインの要求信号が入って来る回数を数えるカウンタを用意し、次フレーム要求信号が入って来たときに表示すべきライン数との差分を取ることで取得する事ができる。これをフレームバッファの読み出しアドレスの初期値として与えることで垂直方向のベゼルコレクションを実現した。

7.3 動作結果

図 35 を入力映像として与えたとき、開発したシステムを介してベゼルコレクションを行わず表示したものが図 36 となっている。対して、ベゼルコレクションを行って表示したものが図 37 になっている。図 36 を見たときに斜め線のつなぎ目がずれているのに対して、図 37 を見たときにつなぎ目に違和感なく見えていることがわかる。また、ディスプレイの位置関係を変更したときにも調整が可能なことを確認した。



図 35: 入力映像



図 36: ベゼルコレクションを行わない出力映像



図 37: ベゼルコレクションを行った出力映像

8 評価

8.1 予備実験

8.1.1 評価方法

映像における画質評価を行うために以下の3種類の画像について比較を行う。各画像は Windows10 標準のカメラアプリケーションと 4K 解像度のキャプチャが可能なボードを用いて取得した。それぞれの画像がディスプレイにどのように表示されて見えるのかを比較、評価を行う。

- Full-HD 解像度 RGB 画像
- 4KUHD 解像度 RGB 画像
- 4KUHD 解像度 YCbCr4:2:0 画像

8.1.2 結果

以下にキャプチャした画像から文字部分、文字のエッジ部分、アイコン部分、アイコンのエッジ部分にそれぞれフォーカスした画像を示す。このとき文字のエッジ部分は文字画像の右の「こ」における上部分の右上斜め線、アイコンのエッジ部分はアイコンの右下の黄色曲線部分にフォーカスして取得した。

8.1.3 考察

Full-HD 解像度の文字を見たとき明らかに 4K 解像度の画質に比べてぼやけていることがわかる。同様に文字のエッジ部分に着目すると Full-HD 解像度の場合は輪郭がぼやけているのに対して 4K 解像度画像のエッジ部分ははっきりとしていることがわかる。4K 解像度の画像同士で見たときにそれぞれの文字全体では違いはわかりにくいですが、エッジ部分の画像を見たときに RGB は輪郭がなめらかになっているのに対して、YCbCr4:2:0 解像度の画像は輪郭がギザギザしてしまっているようにも見える。このことから文字に関する 4K/YCbCr4:2:0 表示は Full-HD より高画質に表示されており、4K/RGB 表示にはやや劣ることがわかる。

文字のときと同様にアイコン部分の画像を見たときにも Full-HD 解像度の画像は 4K 解像度に比べてぼやけて表示されていることがわかる。エッジ部分で見たときにも明らかに 4K 解像度の画像に比べてぼやけてしまっていることがわかる。4K 解像度の画像同士で見たときにはアイコン全体では違いは見えにくいですが、エッジ部分は明らかに YCbCr4:2:0 の画像のほうがぼやけていることがわかる。このことからアイコンに関しても 4K/YCbCr4:2:0 表示は Full-HD より高画質に表示されており、4K/RGB 表示にはやや劣ることがわかる。

まとめとして 4K 解像度の YCbCr4:2:0 の色圧縮が行われた画像は Full-HD 解像度の RGB 画像に比べて品質が良いことがわかった。一方で 4K 解像度の RGB 画像と 4K 解像度の YCbCr4:2:0 画像を比べると若干 4K 解像度の YCbCr4:2:0 画像が劣るもののそこまで品質の差がないことがわかった。

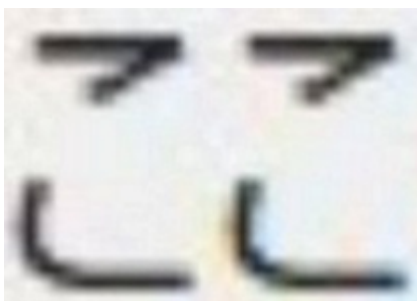


図 38-1: Full-HD/RGB の文字



図 38-2: Full-HD/RGB の文字のエッジ



図 38-3: 4K/RGB の文字



図 38-4: 4K/RGB の文字のエッジ



図 38-5: 4K/YCbCr4:2:0 の文字

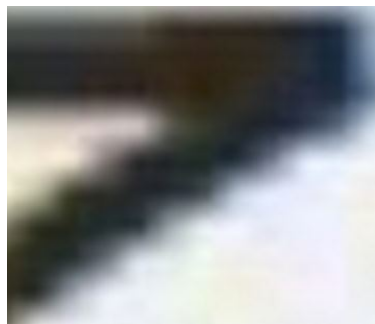


図 38-6: 4K/YCbCr4:2:0 の文字のエッジ

図 38: 解像度/カラーフォーマット別の文字とそのエッジ部



図 39-1: Full-HD/RGB のアイコン



図 39-2: Full-HD/RGB のアイコンのエッジ



図 39-3: 4K/RGB のアイコン



図 39-4: 4K/RGB のアイコンのエッジ



図 39-5: 4K/YCbCr4:2:0 のアイコン



図 39-6: 4K/YCbCr4:2:0 のアイコンのエッジ

図 39: 解像度/カラーフォーマット別のアイコンとそのエッジ部

8.2 アンケートによる定性的評価

8.2.1 実験概要

本システムの視認性に関する定性的評価を行うために 2019 年 11 月 24 日に電気通信大学にて開催された調布祭にて 4 つの映像に対してアンケート調査を行った。実験を行った環境は図 40 のようになり、図中左側から右に向かってそれぞれディスプレイ A からディスプレイ D までとした。各ディスプレイの性能を表 10 に示す。表 10 の 4 つのディスプレイにそれぞれの最高解像度での静止画を表示し、以下の 3 項目について評価の高い方から順位付けを行ってもらった。

- 迫力感
- 近くから見た繊細さ
- 遠くから見た鮮明さ

アンケートの回答者には解像度を始めとした静止画に関する詳細は伏せた状態で回答してもらった。それぞれの項目に対してどのような位置からどのくらいの時間で静止画を視認するかは回答者の自由とした。

8.2.2 結果

アンケート調査の結果を項目ごとに以下に示す。各表 11 から 13 は項目別にそれぞれのディスプレイに対して各順位に何票入ったかの累計度数が示されている。より高い順位により票が集まっているディスプレイがその項目に対して良い結果であったことを示している。また各項目のアンケート結果を集合横棒として図 41 から 43 に示す。

表 10: 実験に用いたディスプレイ

	A	B	C	D
ディスプレイ	JAPANNEXT JN-VT6500UHD × 3	SONY KDL-55W920A	ASUS VC239H × 4	LG 49UF8500-J8
サイズ	約 111 インチ	55 インチ	約 46 インチ	49 インチ
解像度	6480×3840	1920×1080	3840×2160	3840×2160
ppi	67.86	40.05	95.78	89.91
ディスプレイ価格	約 33 万円	約 26 万円	約 7 万円	約 20 万円

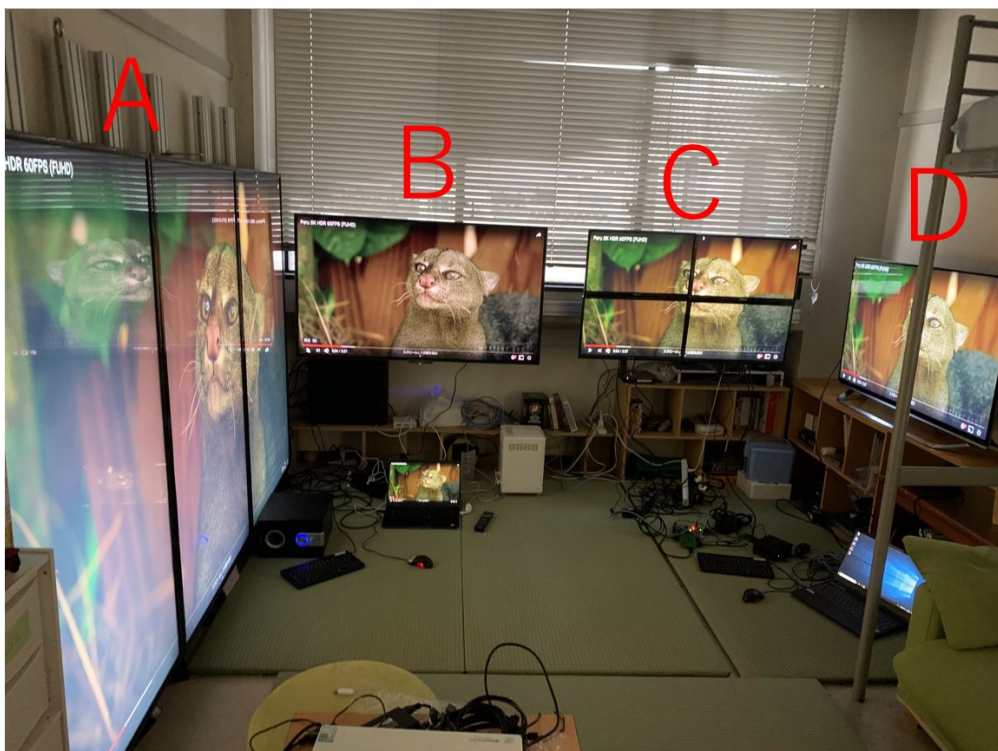


図 40: 評価実験環境

表 11: 項目「迫力感」のアンケート結果

	1 位	2 位	3 位	4 位
ディスプレイ A	29	1	0	0
ディスプレイ B	0	20	9	1
ディスプレイ C	0	4	2	24
ディスプレイ D	1	6	18	5

8.2.3 考察

8.2.3.1 項目「迫力感」について

アンケートの結果から項目「迫力感」はディスプレイのサイズに大きく依存しているということがわかった。今回の実験で対象としたディスプレイの中で一番サイズが大きいものはディスプレイ A の約 111 インチであり、1 位として選んだアンケート結果が全 30 票中 29 票であった。同様に 2 位として票が集まったものは次点でサイズの大きいディスプレイ B で 55 インチであった。今回本システムのディスプレイは 4 枚合わせて約 46 インチであり、サイズが一番小さいことから票も下位に集まったと考えられる。一方で、今回開発したタイルドディスプレイシステムの利点として HDMI

表 12: 項目「近くから見た繊細さ」のアンケート結果

	1 位	2 位	3 位	4 位
ディスプレイ A	16	7	5	2
ディスプレイ B	3	6	11	10
ディスプレイ C	3	6	6	15
ディスプレイ D	8	11	8	3

表 13: 項目「遠くから見た鮮明さ」のアンケート結果

	1 位	2 位	3 位	4 位
ディスプレイ A	21	6	3	0
ディスプレイ B	4	11	10	5
ディスプレイ C	1	3	5	21
ディスプレイ D	4	11	11	4

入力可能なディスプレイであればサイズの変更が容易に可能であるという点がある．このことから，より大きなディスプレイを用いることで迫力感を出すことも十分に可能であると考えられる．

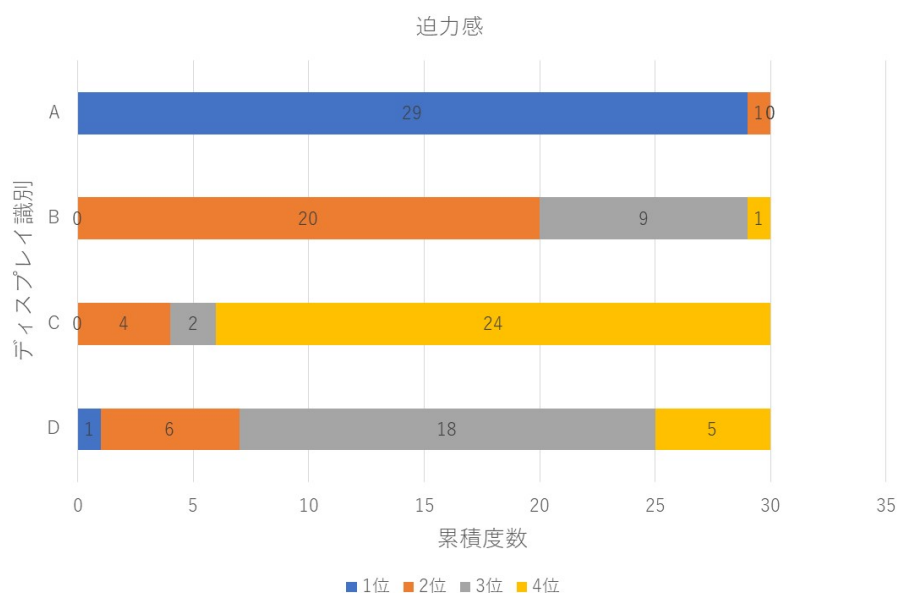


図 41: 項目「迫力感」のアンケート結果

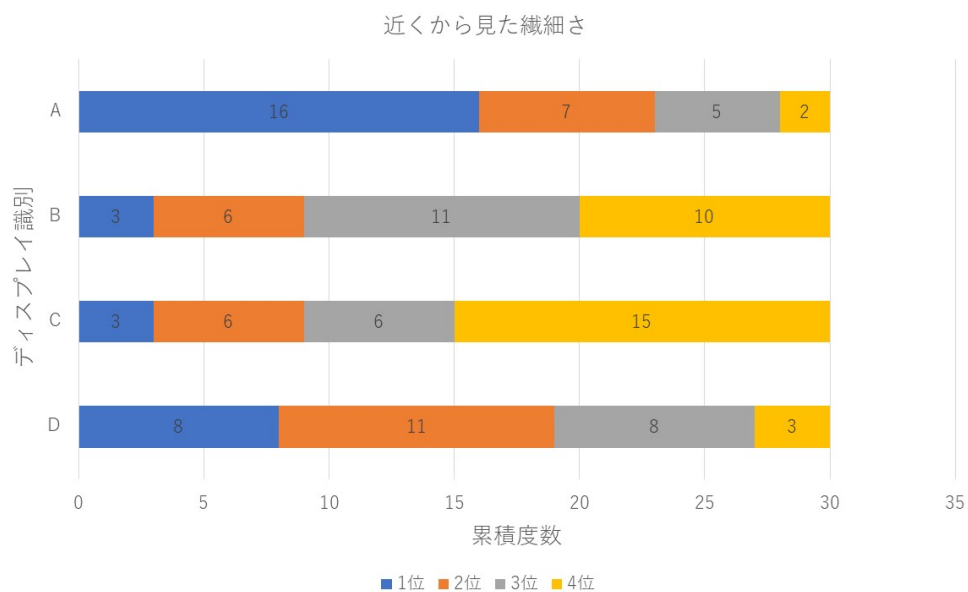


図 42: 項目「近くから見た繊細さ」のアンケート結果

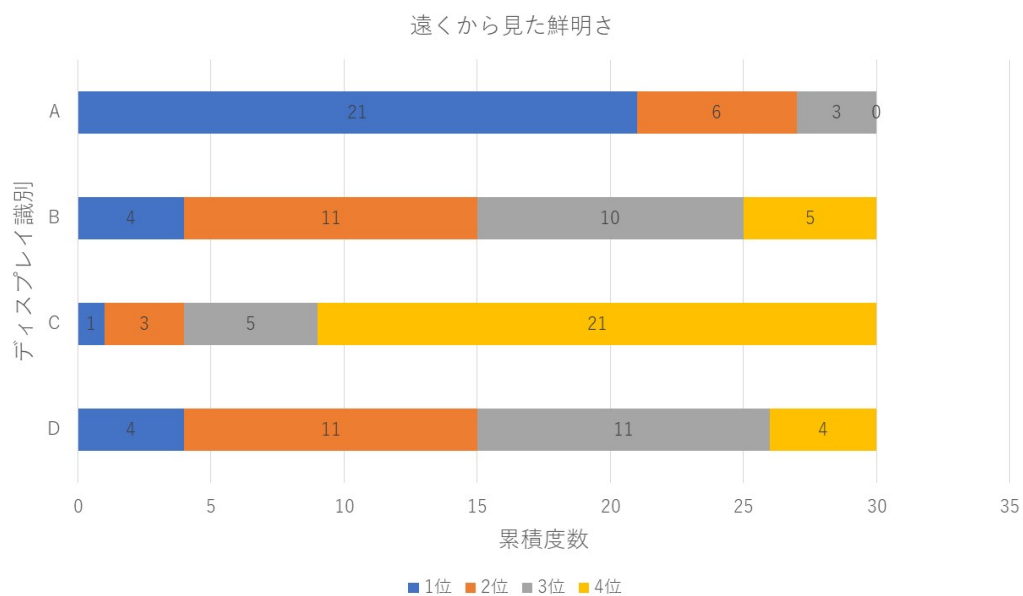


図 43: 項目「遠くから見た鮮明さ」のアンケート結果

8.2.3.2 項目「近くから見た繊細さ」について

項目「近くから見て繊細」はディスプレイのサイズと解像度の関係が大きく見られた。ディスプレイサイズに対する解像度の指標として ppi (pixel per inch) がある。この ppi が高ければ高いほ

ど近くからみたときの画像の粗さが目立たなくなる．そのため ppi が高いものが票を集めると考えていたが，結果として一番上位の票を集めたのはディスプレイ A であり，次点ではディスプレイ D であった．このときディスプレイ C はディスプレイ B よりも高解像度な入力を与えているにも関わらずほぼ同一の結果となったことについて考える．

原因として以下の 3 点が考えられる．

1 点目は自身のシステムの欠陥である．アンケートでも指摘があったように一部の画面が揺らいで見えるなど，近くから見ることで悪い影響を与えてしまう状態であった．この画面の揺らぎは動画として視聴する分には目立つものではなかったが，今回の実験では 4 つのディスプレイで同一のものを視聴してもらう関係で静止画となったため目立ってしまったと考えられる．また入力映像そのものにも色圧縮がかかっているため影響をもたらしているのではないかと考えられる．

2 点目はディスプレイそのものが持つ画質補間機能の影響がある．ディスプレイ B は SONY 製のディスプレイであり，データベース型の超解像エンジン「X-Reality PRO」を搭載している [20]．これにより，入力映像を Full-HD 解像度としても補間されたものが出力されるため映像品質が向上したことから票が拮抗したのではないかと考えられる．

3 点目は解像度の向上により違いがわからなくなっていることである．アンケート中にも「違いがわからない」，解像度が低い映像に対して「このくらい粗いほうがよく見える」などのコメントをいただくことがしばしばあった．このことから解像度という点での繊細さの評価が難しくなっているのではないかと考えられる．

8.2.3.3 項目「遠くから見た鮮明さ」について

項目「遠くからみて鮮明」も他の 2 項目と同様にディスプレイ A が一番上位の票を集める結果となった．また，解像度が異なるにも関わらずディスプレイ B とディスプレイ D の票が拮抗している．これは先述の通り解像度の向上により違いを見極めることが難しくなっていることが原因だと思われる．特に遠くから見るという制限の中では，解像度に対してディスプレイのサイズも必要な要素であると思われる．本システムであるディスプレイ C に関してはいくつかのコメントの中でもベゼルが視聴の妨げになっているというものがあつた．ベゼルは動画の視聴に関しては影響が少なくなるが，逆に静止画に対しては大きく目立ってしまう．

8.2.3.4 まとめ

今回のアンケートのまとめとして全体的にシステムの欠陥と足りない部分が目立つ結果となった．「迫力感」に関しては現状のシステムでもサイズの大きいディスプレイを用いることで十分な迫力が得られると思われる．一方で繊細，鮮明といった画質に関わる部分に関しては，入力映像が YCbCr4:2:0 であり色圧縮が行われているという点をカバーするために回路内部で RGB に変換出力する際に補間などの処理を加えると改善する可能性がある．色圧縮のない映像品質に近づけることでよりよい結果が得られたのではないかとと思われる．

9 終わりに

9.1 まとめ

本研究では FPGA を用いて YCbCr4:2:0 方式の映像入力をサポートすることで 4K 映像入力可能なタイルディスプレイシステムを開発した。4K 映像の入力に対して縦横 2 枚ずつ合計 4 つのディスプレイを用いて表示を行う。新たに YCbCr4:2:0 方式をサポートしたことで RGB 方式に比べて同じ解像度のデータ量に対して半分に削減することが可能になった。これによりデータレートの増大を抑えつつ解像度の向上を実現した。

また、動的なベゼルコレクション機能の導入を行ったことでタイルディスプレイの利点である HDMI 入力が可能なディスプレイならば表示可能であるという利点をより活かすことが出来るようになった。

9.2 今後の課題・展望

9.2.1 出力映像の揺らぎ

本システムを介して映像出力を行った際に映像の揺らぎが見られた。動画を見る際には揺らぎが気になることはそこまでないが、静止画を見るときには近くから見ると確実にわかる揺らぎとなっていた。原因として考えられることはフレームバッファにデータを格納する際に YCbCr4:2:0 方式のストリーミングに対してデータの再配置などの処理をせずにいたことによって読み出しが複雑になっている事がある。また、出力方式がインターレース方式であるためにより出力が複雑になっている。これらの要因によってメモリの読み出しから出力にかけて回路が完全に対応できていないのではないかと考えられる。

9.2.2 YCbCr4:2:0 方式データの読み出し方法

本システムを介して表示した映像を見たときに Full-HD 解像度よりはきれいに出力できていることは確認できたが、YCbCr4:2:0 方式の映像を出力可能なテレビ (LG 49UF8500-J8) を用いて確認したときに品質に差が見られた。これは YCbCr4:2:0 方式で伝送されるデータに対して表示する際に補間処理が行われているのではないかと考えられる。本システムでは、補間などの処理を行わずに入力されたデータに対して RGB 変換を行っていることから出力映像が劣化していたのではないかと考えられる。この問題は読み出し時に補間処理を行う回路を追加することで解消すると思われる。

9.2.3 さらなる高解像度化

本システムの最大解像度は 4K 解像度 (3840×2160 ピクセル) であったが、近年の映像コンテンツは 8K 解像度 (7680×4320 ピクセル) まで向上が進んでいる。本システムの開発に使用した FPGA ボードは入力ピンの性能限界を迎えており、これ以上の高解像度な映像の入力を見込むことが困難

である．この問題に対して，より高性能な FPGA ボードを用いることでより高解像度なシステムを構築できると考えられる．FPGA ボードの中には HDMI2.0 入力に対応したものも出てきており，60 フレームの 4K 解像度映像や 8K 解像度映像の入力も可能になると考えられる．

参考文献

- [1] Xilinx. "Vivado Design Suite AXI Reference Guide(UG1037)". "https://www.xilinx.com/support/documentation/ip_documentation/axi_ref_guide/latest/ug1037-vivado-axi-reference-guide.pdf". 最終アクセス日:2019 年 12 月 20 日.
- [2] hdmi navi.com. "HDMI-NAVI.com". "<http://www.hdmi-navi.com/tmds/>". 最終アクセス日:2020 年 1 月 8 日.
- [3] Balkrishan Ahirwal, Mahesh Khadtare, and Rakesh Mehta. "FPGA based system for Color Space Transformation RGB to YIQ and YCbCr". *International Conference on Intelligent and Advanced Systems 2007*, pp. 1345–1349, 2007.
- [4] The University of Illinois. "SAGE/SAGE2 Introduction". "<https://sage.sagecommons.org/>". 最終アクセス日:2020 年 1 月 13 日.
- [5] The University of Illinois. "SAGE2". "<http://sage2.sagecommons.org/project/introduction/>". 最終アクセス日:2020 年 1 月 13 日.
- [6] NVIDIA. "NVIDIA Mosaic". "<https://www.nvidia.com/ja-jp/design-visualization/solutions/nvidia-mosaic-technology/>". 最終アクセス日:2020 年 1 月 21 日.
- [7] Panasonic. "Panasonic VF1H シリーズ". "https://panasonic.biz/cns/prodisplays/products/vf1h_series/". 最終アクセス日:2020 年 1 月 21 日.
- [8] Yue Pan, Dajiang Zhou, and Satoshi Goto. "AN FPGA-BASED 4K UHD TV H.264/AVC VIDEO DECODER". *2013 IEEE International Conference on Multimedia and Expo Workshops (ICMEW)*, pp. 1019–1022, 2013.
- [9] Ming Li, Kaspar Maximilian Scharf, and Leif Lobbelt. "MovieTile: Interactively Adjustable Free Shape Multi-Display of Mobile Devices". *ACM MobileHCI*, pp. 621–626, 2016.
- [10] Yue Pan, Dajiang Zhou, and Satoshi Goto. "MobileVideoTiles: Video Display on Multiple Mobile Devices". *2013 IEEE International Conference on Multimedia and Expo Workshops (ICMEW)*, 2013.
- [11] Deng Min, Li Yihang, Zhang Zhigang, Zhang Kuan, and et.al. "Research on Heterogeneous Multi-core Method for 4K Video Stream Multi-Channel Split Screen Transmission". *The 8th IEEE International Symposium on Next-Generation Electronics*, 2019.
- [12] 堀田将也. FPGA を用いた 3D タイルディスプレイシステムの開発. Master's thesis, 電気通信大学 情報・通信工学専攻, 2014.

- [13] 岩田拳太郎. FPGA を用いた 6 画面タイルドディスプレイシステムの開発. Master's thesis, 電気通信大学 情報・ネットワーク工学専攻, 2018.
- [14] hamsternz. "Artix-7-HDMI-processing". "<https://github.com/hamsternz/Artix-7-HDMI-processing>". 最終アクセス日:2020 年 1 月 15 日.
- [15] Xilinx. "Memory Interface Generator". "<https://japan.xilinx.com/products/intellectual-property/mig.html>". 最終アクセス日:2019 年 12 月 23 日.
- [16] Xilinx. "AXI Interconnect". "https://japan.xilinx.com/products/intellectual-property/axi_interconnect.html". 最終アクセス日:2019 年 12 月 23 日.
- [17] Xilinx. "AXI Video Direct Memory Access v6.3 LogiCORE IP Product Guide". "https://www.xilinx.com/support/documentation/ip_documentation/axi_vdma/v6_3/pg020_axi_vdma.pdf". 最終アクセス日:2019 年 12 月 23 日.
- [18] EIA(Electronics Industries Alliance). "EIA/CEA-861-B". "<http://read.pudn.com/downloads74/ebook/269248/EIA-CEA-861-B.pdf>". 最終アクセス日:2019 年 12 月 29 日.
- [19] ITU(International Telecommunication Union). "ITU-R BT.2020-2". "https://www.itu.int/dms_pubrec/itu-r/rec/bt/R-REC-BT.2020-2-201510-I!!PDF-E.pdf". 最終アクセス日:2019 年 12 月 28 日.
- [20] SONY. "SONY BRAVIA (2014 年 3 月)". "https://www.sony.jp/products/catalog/TV_news_W.pdf". 最終アクセス日:2020 年 1 月 9 日.

謝辞

本修士論文を書き上げるにあたり，ご指導いただいた指導教員の成見先生，副指導教員の吉永先生並びに論文の執筆の際にご助力いただいた研究室の皆様に厚くお礼申し上げます．